

3.1.1.1. Liczniki dziesiętne: UCA6490N, UCY7490N

Monolityczny układ scalony UCA6490N lub UCY7490N zawiera cztery przerzutniki typu *Master-Slave* połączone w ten sposób, że tworzą dwa liczniki: pierwszy modulo 2, a drugi modulo 5. Łącząc zewnętrznie wyjście pierwszego przerzutnika Q_A z wejściem B uzyskuje się licznik dziesiętny pracujący w kodzie BCD 8 4 2 1. Łącząc natomiast wyjście Q_D z wejściem A i przykładając ciąg impulsów do wejścia B uzyskuje się dzielnik przez 10, na którego wyjściu Q_A wystąpi przebieg w kształcie fali prostokątnej (o wypełnieniu 1/2). Liczniki modulo 2 i modulo 5 mogą być wykorzystane oddzielnie.

Wszystkie przerzutniki mają wspólne wejście ustawienia i zerowania dołączone do wyjść dwóch dwuwejściowych bramek I-NIE. Zerowanie licznika, czyli ustawienie go w stanie $Q_A = Q_B = Q_C = Q_D = 0$ odpowiadającym liczbie dziesiętnej 0 następuje wtedy, gdy na obu wejściach zerowania ($R_{0(1)}$ i $R_{0(2)}$) wystąpi stan wysoki (1) przy jednoczesnym istnieniu stanu niskiego na co najmniej jednym z wejść ustawienia $R_{9(1)}$ lub $R_{9(2)}$. Natomiast ustawienie licznika w stanie $Q_A = Q_D = 1$ i $Q_B = Q_C = 0$ odpowiada-

jącym liczbie dziesiętnej 9 następuje wtedy, gdy stan wysoki (1) wystąpi na obu wejściach ustawienia $R_{9(1)}$ i $R_{9(2)}$ niezależnie od stanu na wejściach zerowania $R_{0(1)}$ i $R_{0(2)}$. W czasie liczenia co najmniej jedno z wejść zerowania $R_{0(1)}$ lub $R_{0(2)}$ i ustawienia $R_{9(1)}$ lub $R_{9(2)}$ musi być utrzymane w stanie niskim (0). Układy UCA6490N i UCY7490N są produkowane w obudowach A49B(CE70).

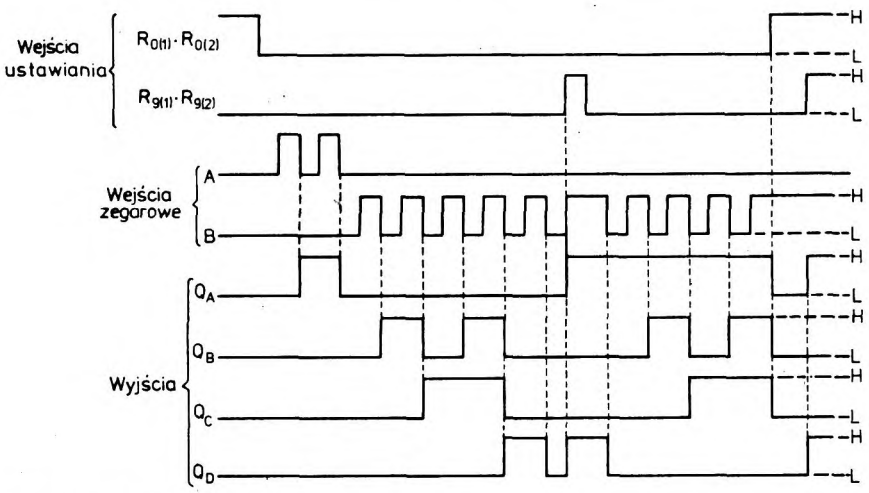
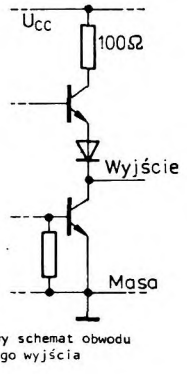
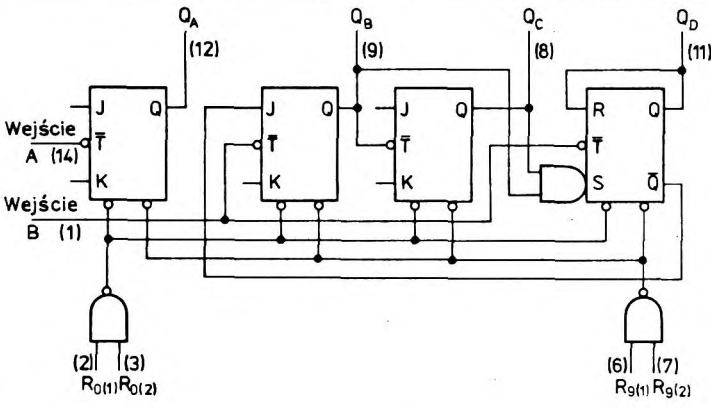
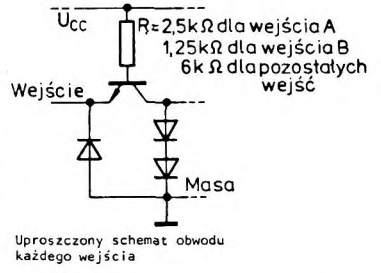
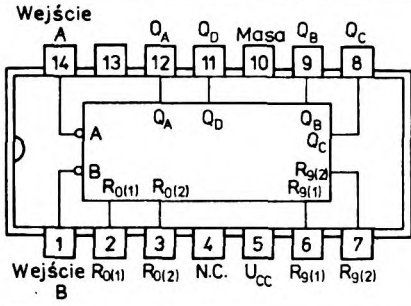
Tabela funkcyjna

Wejścia ustawienia				Wyjścia			
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	Q_D	Q_C	Q_B	Q_A
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
X	0	X	0	Liczenie			
0	X	0	X	Liczenie			
0	X	X	0	Liczenie			
X	0	0	X	Liczenie			

X = stan dowolny

Tabela stanów

Liczenie	BCD 8421				5421				MODULO 5		
	Stan wyjść				Stan wyjść				Stan wyjść		
	Q_A	Q_B	Q_C	Q_D	Q_B	Q_C	Q_D	Q_A	Q_B	Q_C	Q_D
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	1	0	0	0	1	0	0
2	0	1	0	0	0	1	0	0	0	1	0
3	1	1	0	0	1	1	0	0	1	1	0
4	0	0	1	0	0	0	1	0	0	0	1
5	1	0	1	0	0	0	0	1			
6	0	1	1	0	1	0	0	1			
7	1	1	1	0	0	1	0	1			
8	0	0	0	1	1	1	0	1			
9	1	0	0	1	0	0	1	1			
Impulsy zaliczane przyłożone do wejścia A. Wyjście Q_A połączone z wejściem B				Impulsy zaliczane przyłożone do wejścia B. Wyjście Q_D połączone z wejściem A.				Impulsy zliczane przyłożone do wejścia B.			



Przebiegi określające zależności funkcjonalne

Wartości dopuszczalne parametrów

Parametry		Wartość		Jednostki
Nazwa	Symbol	min	max	
Napięcie zasilania	U_{CC}		7	V
Napięcie wejściowe	U_I		5,5	V
Ujemny prąd wejściowy	$-I_I$		12	mA
Zakres temperatury przechowywania	t_{sto}	-55	125	°C

Zalecane warunki pracy

Parametry		Wartość			Jednostki
Nazwa	Symbol	min	nom	max	
Napięcie zasilania	U_{CC}	4,75	5,0	5,25	V
Obciążalność	w stanie niskim	N_L		10	s.o.l.
	w stanie wysokim	N_H		20	
Obciążenie wnoszone przez wejścia:	A			2	
	B			4	
	$R_{O(1)}, R_{O(2)}, R_{9(1)}, R_{9(2)}$			1	
Czas trwania impulsów zegarowych na wejściach A i B		t_w	50		ns
Czas trwania impulsów ustawiających na wejściach: $R_{O(1)}, R_{O(2)}, R_{9(1)}, R_{9(2)}$		t_{WR}	50		ns
Zakres temperatury otoczenia	UCA6490N	t_{amb}	-40	85	°C
	UCY7490N		0	70	

Parametry dynamiczne przy $U_{CC} = 5$ V, $t_{amb} = 25$ °C

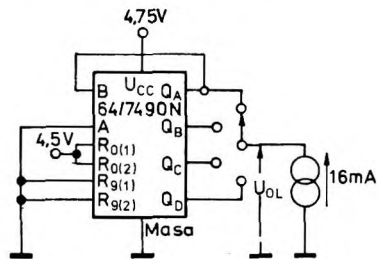
Parametry		Wartość		Jednostki	Warunki pomiaru	Układ pomiarowy
Nazwa	Symbol	min.	max			
Maksymalna częstotliwość zegarowa	f_{max}	10		MHz	$R_L = 400 \Omega$ $C_L = 15$ pF	I
Czas propagacji sygnału do stanu niskiego na wyjściu Q_C od wejścia A	t_{PHL}		100	ns		
Czas propagacji sygnału do stanu wysokiego na wyjściu Q_C od wejścia A	t_{PLH}		100			

Parametry statyczne

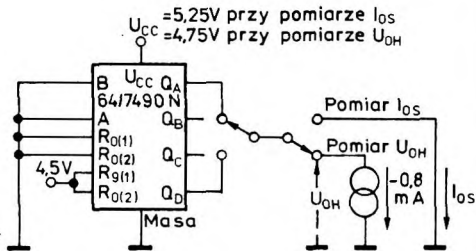
(Jeżeli nie podano inaczej — w pełnym zakresie temperatury otoczenia)

Parametry		Wartość			Jednostki	Warunki pomiaru	Układ pomiarowy	
Nazwa	Sym-bol	min	typ ¹⁾	max				
Napięcie wejściowe w stanie niskim		U_{IL}		0,8	V			
Napięcie wejściowe w stanie wysokim		U_{IH}	2		V			
Ujemne napięcie wejściowe		$-U_I$		1,5	V	$U_{CC} = 4,75 \text{ V}$ $I_I = -12 \text{ mA}$ $t_{amb} = 25^\circ\text{C}$	G	
Prąd wejściowy w stanie niskim dla wejść	$R_{0(1)}, R_{0(2)}$ $R_{9(1)}, R_{9(2)}$	I_{IL}		-1,6	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,4 \text{ V}$	F	
	A			-3,2				
	B			-6,4				
Prąd wejściowy w stanie wysokim dla wejść	$R_{0(1)}, R_{0(2)}$ $R_{9(1)}, R_{9(2)}$	I_{IH}		40	μA	$U_{CC} = 5,25 \text{ V}$ $U_I = 2,4 \text{ V}$	E	
	A			80				
	B			160				
	każdego wejścia			1	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 5,5 \text{ V}$		
Napięcie wyjściowe w stanie niskim		U_{OL}	0,2	0,4	V	$I_{OL} = 16 \text{ mA}$	A	
Prąd wyjściowy w stanie niskim		I_{OL}		16	mA	$U_{OL} \leq 0,4 \text{ V}$		$U_{CC} = 4,75 \text{ V}$
Napięcie wyjściowe w stanie wysokim		U_{OH}	2,4	3,4	V	$I_{OH} = -800 \mu\text{A}$	B, C, D	
Prąd wyjściowy w stanie wysokim		I_{OH}		-800	μA	$U_{OH} \geq 2,4 \text{ V}$		$U_{CC} = 4,75 \text{ V}$
Zwarciový prąd wyjściowy ²⁾		I_{OS}	-18	-36	-57	mA	$U_{CC} = 5,25 \text{ V}$	B, C, D
Prąd zasilania		I_{CC}		32	53	mA	$U_{CC} = 5,25 \text{ V}$	E

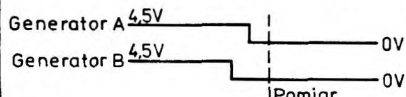
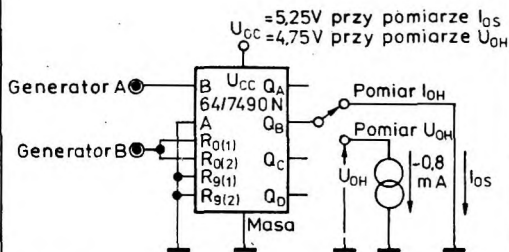
¹⁾ Wartości typowe podane są przy $U_{CC} = 5 \text{ V}$, $t_{amb} = 25^\circ\text{C}$
²⁾ Jednocześnie może być zwarte nie więcej niż jedno wyjście



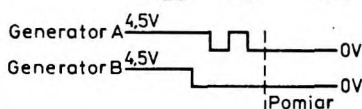
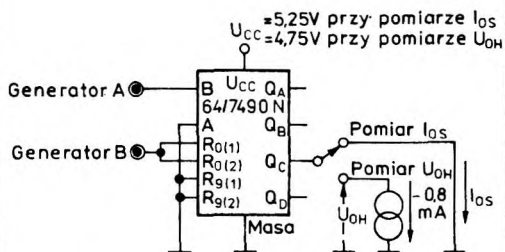
Układ pomiarowy A. Pomiar U_{OL}



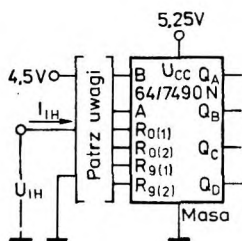
Układ pomiarowy B. Pomiar U_{OH} lub I_{OS} wyjść Q_A i Q_D



Układ pomiarowy C. Pomiar U_{OH} lub I_{OS} wyjścia Q_B



Układ pomiarowy D. Pomiar U_{OH} lub I_{OS} wyjścia Q_C



Układ pomiarowy E. Pomiar I_{IH}

Uwagi: Każde wejście jest badane oddzielnie.

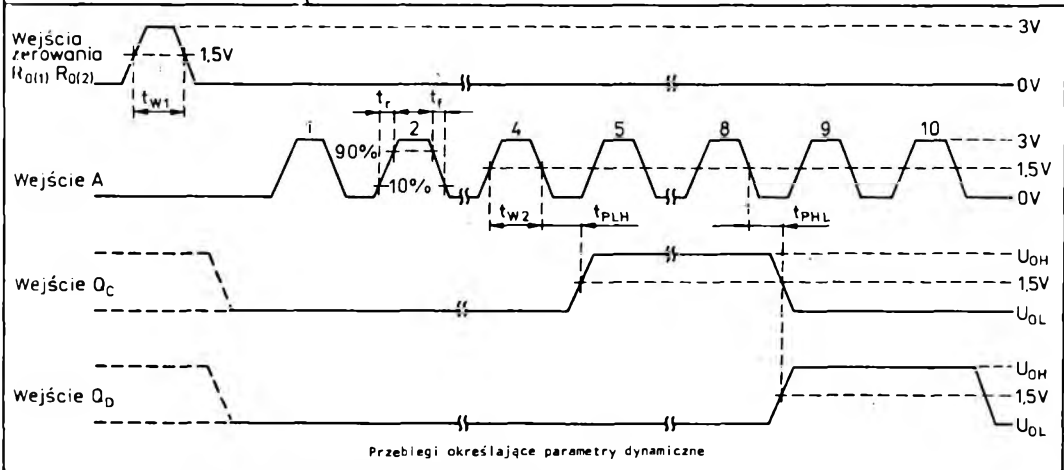
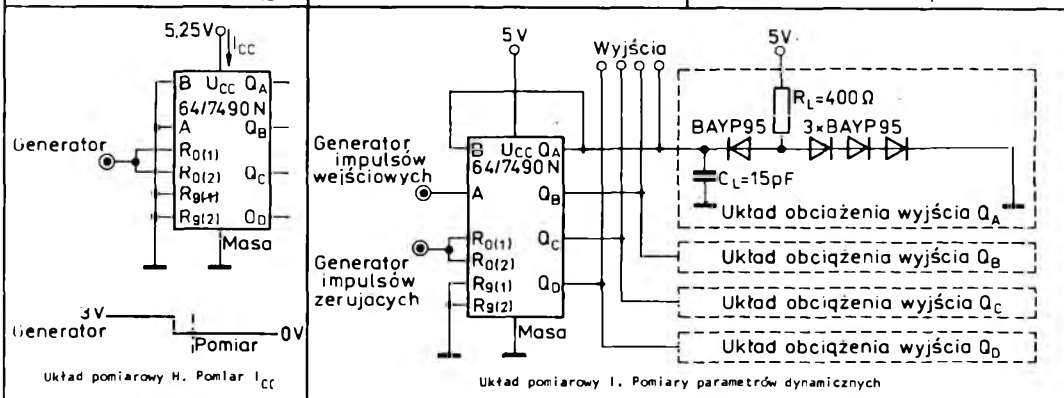
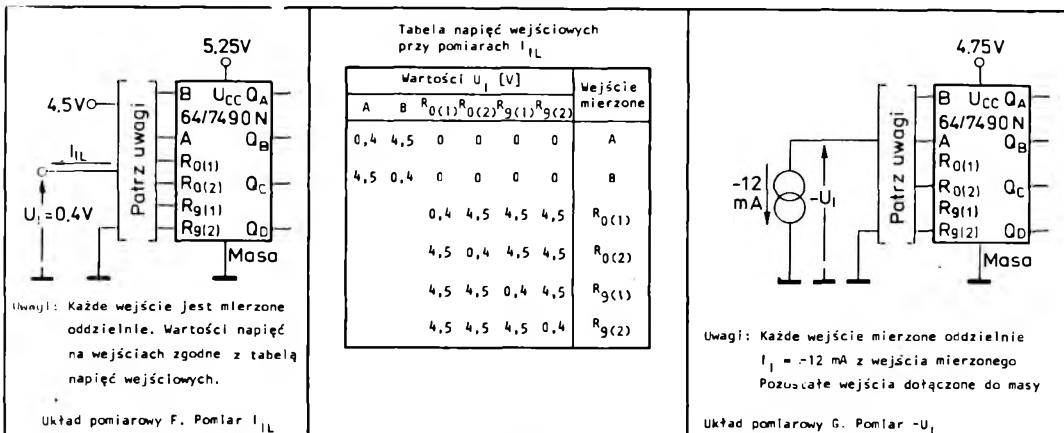
Na wejścia przyłożyć: a) $U_I = 2,4\text{ V}$

b) $U_I = 5,5\text{ V}$

Napięcia na pozostałych wejściach ustawić według tabeli napięć wejściowych.

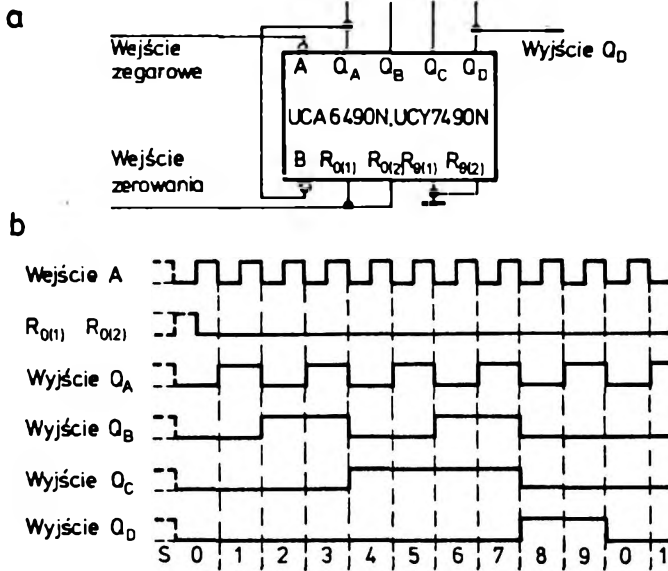
Tabela napięć wejściowych przy pomiarach I_{IH}

	Wartość U_I [V]					Wejście mierzone
	A	B	$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$ $R_{9(2)}$	
U_I	4,5	0	0	0	0	A
4,5	U_I	0	0	0	0	B
		U_I	0	0	0	$R_{0(1)}$
0	U_I	0	U_I	0	0	$R_{0(2)}$
		0	0	U_I	0	$R_{9(1)}$
0	0	0	0	U_I	$R_{9(2)}$	

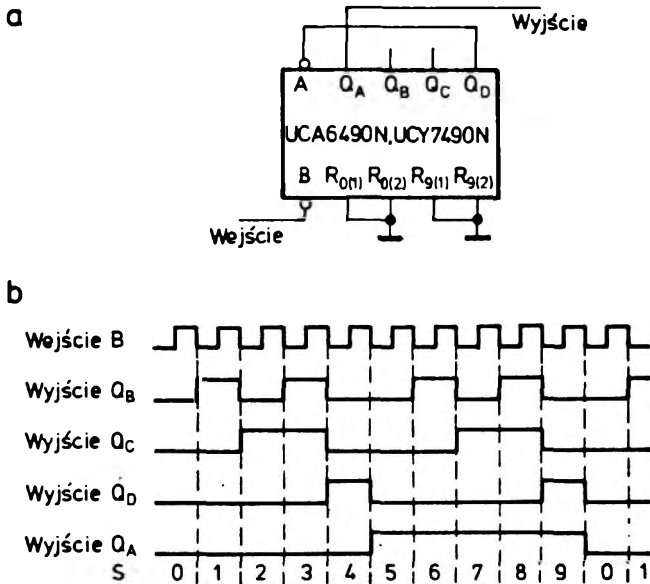


Uwagi: Parametry impulsu zerującego: amplituda $U = 3$ V, poziom podstawy 0 V
 czas narastania $t_r = 5$ ns, czas opadania $t_f = 5$ ns, czas trwania $t_{w1} = 100$ ns.
 Parametry impulsów wejściowych: amplituda $U = 3$ V, poziom podstawy 0 V,
 czas trwania $t_{w2} = 500$ ns, częstotliwość $f = 1$ MHz, czas narastania $t_r \leq 15$ ns,
 czas opadania $t_f \leq 15$ ns.
 Impedancja wyjściowa generatorów $Z_o = 50 \Omega$.
 Wartość C_L uwzględnia pojemność sondy i pojemność montażu.
 Obciążeniem każdego wyjścia jest układ o danych określonych dla wyjścia Q_A

3.1.1.2. Typowe zastosowania liczników dziesiętnych



Rys. 3.1
Licznik dziesiętny zliczający
w kodzie BCD 8421
a — schemat logiczny, b — przebiegi
w charakterystycznych punktach układu



Rys. 3.2
Licznik dziesiętny zliczający
w kodzie 5 4 2 1
a — schemat logiczny, przebiegi
w charakterystycznych punktach układu

Liczniki dziesiętne

Układ scalony UCA6490N lub UCY7490N zawiera cztery przerzutniki MS połączone wewnętrznie w ten sposób, że tworzą dwa liczniki: pierwszy modulo 2 i drugi modulo 5. Wyjście licznika modulo 2 nie jest połączone wewnętrznie z wejściem licznika modulo 5. Cecha ta stwarza możliwość pracy układu w trzech niezależnych rodzajach:

1. Jako licznik dziesiętny pracujący w kodzie BCD $\#421$.

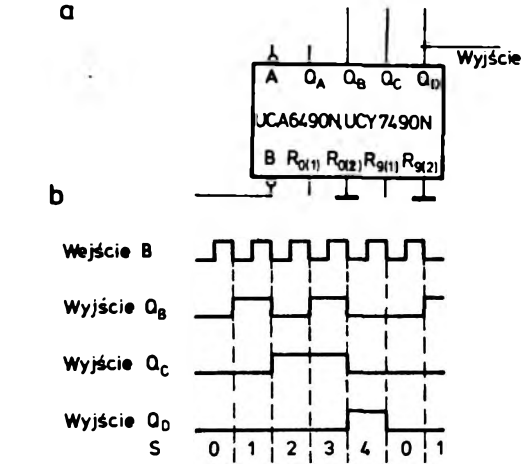
Schemat połączeń oraz przebiegi ilustrujące działanie układu dla tego rodzaju pracy widać na rys. 3.1.

2. Jako licznik dziesiętny pracujący w kodzie 5421 . Schemat połączeń i przebiegi ilustrujące działanie układu przedstawiono na rys. 3.2. Impulsy wejściowe przykłada się do wejścia B . Na wyjściu licznika Q_A otrzymujemy przebieg o wypełnieniu $1/2$ i częstotliwości obniżonej pięciokrotnie. Jednocześnie na wyjściu Q_D otrzymuje się przebieg o częstotliwości obniżonej pięciokrotnie w stosunku do przebiegu na wejściu B .

3. Bez dodatkowych połączeń zewnętrznych układ UCA6490N lub UCY7490N można stosować jako dwa oddzielne liczniki, pierwszy modulo 2 z wejściem A i wyjściem Q_A i drugi modulo 5 z wejściem B i wyjściem Q_D . Układ połączeń i przebiegi ilustrujące działanie licznika modulo 5 pokazano na rys. 3.3.

Liczniki modulo 5

Liczniki przeznaczone do dzielenia częstotliwości impulsów wejściowych przez określoną liczbę całko-



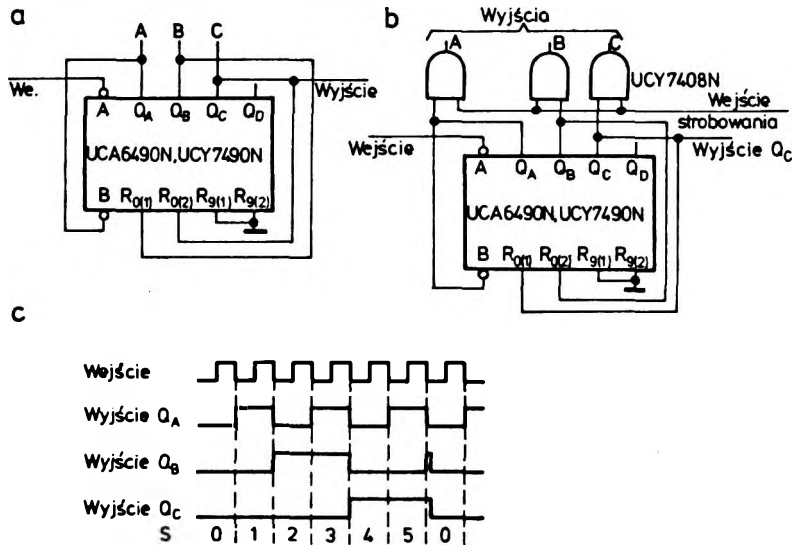
Rys. 3.3. Licznik modulo 5

a — schemat logiczny, b — przebiegi w charakterystycznych punktach układu

witą S , zwane licznikami modulo S , mogą być realizowane w różny sposób.

Liczniki dziesiętne UCA6490N lub UCY7490N można również stosować w dzielnikach o krótszym cyklu niż 10. Skrócenie cyklu uzyskuje się przez dekodowanie stanu $s = S$ licznika i wprowadzenie sygnału z dekodera na wejścia $R_{0(1)}$ i $R_{0(2)}$. W czasie zerowania stan S przechodzi w stan 0, tak że całkowity cykl pracy licznika obejmuje S stanów ($s = 0, 1, 2, \dots, S-1$).

Jeżeli stan S licznika można wyróżnić przez stany



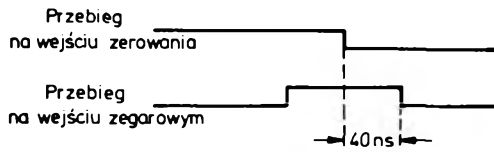
Rys. 3.4

Licznik modulo 6

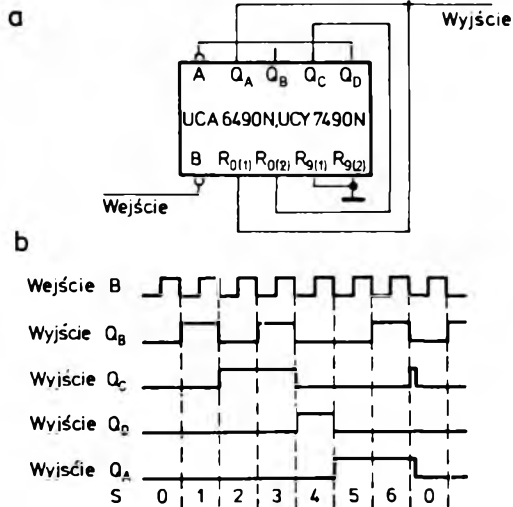
a — schemat logiczny,
b — schemat logiczny licznika ze strobowaniem wejść,
c — przebiegi na wejściu i wyjściach układu

logiczne 1, występujące na nie więcej niż dwu wyjściach, to jest możliwość wykorzystania bramkowanych wejść zerowania licznika do procesu dekodowania tego stanu. Taki sposób skracania długości cyklu licznika UCA6490N lub UCY7490N zastosowane do realizacji licznika modulo 6 (rys. 3.4). Stan licznika odpowiadający liczbie dziesiętnej 6 jest wyróżniony wystąpieniem 1 logicznej na wyjściach Q_B i Q_C . W układzie tym, po osiągnięciu stanu licznika 6, dla którego $Q_B = 1$ i $Q_C = 1$, spełniony jest warunek $R_{0(1)} \cdot R_{0(2)} = 1$, powodujący wyzerowanie licznika. Po wyzerowaniu cykl zliczania rozpoczyna się od nowa. W rezultacie licznik będzie zerował się samoczynnie po osiągnięciu stanu 0 1 1 0.

W czasie zliczania na niektórych wyjściach (np. na wyjściu Q_B układu przedstawionego na rys. 3.4) licznika występują niepożądane impulsy. Aby wyeliminować szkodliwe efekty spowodowane fałszywymi impulsami można stosować strobowanie wyjść licznika przedstawione na rys. 3.4b.



Rys. 3.5. Zależności czasowe ograniczające maksymalną częstotliwość zliczania liczników o skróconym cyklu



Rys. 3.6. Licznik modulo 7 pracujący w kodzie 5 4 2 1

a — schemat logiczny, b — przebiegi na wejściu i wyjściach licznika

Maksymalna częstotliwość impulsów zliczanych przez liczniki o skróconym cyklu jest ograniczona wymaganiami aby na wejściu zegarowym nie wystąpił stan niski przed upływem 40 ns od zakończenia impulsu zerującego, co przedstawiono graficznie na rys. 3.5.

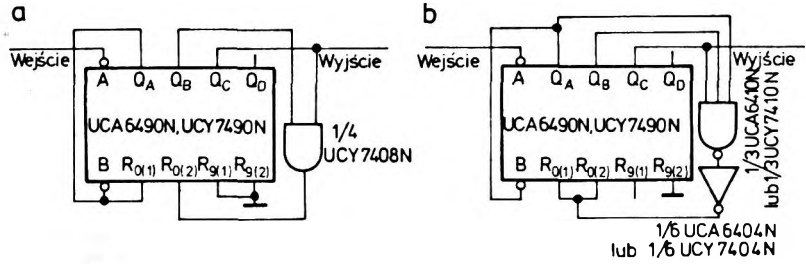
Licznik modulo 7 zrealizowany opisaną metodą skracania cyklu zliczania widać na rys. 3.6. W układzie tym zastosowano wariant licznika pracujący w kodzie 5 4 2 1 (wejście Q_D połączone z wejściem A). Taka konfiguracja wyróżnia stan licznika 7 wystąpieniem 1 logicznej na tylko dwóch wyjściach Q_A i Q_C umożliwiając realizację licznika modulo 7 bez konieczności użycia dodatkowych elementów logicznych. Na rysunku 3.7 przedstawiono licznik modulo 7 zrealizowany metodą skracania cyklu licznika pracującego w kodzie BCD 8 4 2 1. Stan licznika odpowiadający liczbie dziesiętnej 7 wyróżnia się wystąpieniem 1 na trzech wyjściach: Q_A , Q_B i Q_C . Aby ten stan zdekodować konieczne jest użycie jednej dwuwejściowej bramki I (AND) i bramkowanych wejść zerowania (rys. 3.7a) lub trzywejściowej bramki I-NIE i inwertera (rys. 3.7b).

Wariant licznika modulo 7, przedstawiony na rys. 3.7a, charakteryzuje się większą nierównomiernością obciążenia poszczególnych wyjść w porównaniu z układem przedstawionym na rys. 3.6. Nierównomierne obciążenie wyjść wpływa na zróżnicowanie czasów propagacji, sygnałów od wejść zerowania do wyjść poszczególnych przerzutników i powoduje zwiększenie możliwości zaniku impulsu zerującego przed wystąpieniem stanu niskiego na wszystkich wyjściach licznika.

Układ scalony UCA6493N lub UCY7493N zawiera licznik modulo 8. Jeżeli jednak zachodzi potrzeba użycia układu UCA6490N lub UCY7490N jako licznika modulo 8, to można zastosować rozwiązanie przedstawione na rys. 3.8. Na wyjściach licznika nie występują niepożądane impulsy, ponieważ do dekodowania stanu odpowiadającego liczbie 8 użyto wyjść Q_D , nie używanych do określenia stanów trzybitowego licznika dwójkowego. Na wyjściach Q_A i Q_B dwójkowego licznika modulo 8 otrzymuje się odpowiednio przebiegi o częstotliwościach obniżonych dwukrotnie i czterokrotnie w stosunku do częstotliwości impulsów wejściowych.

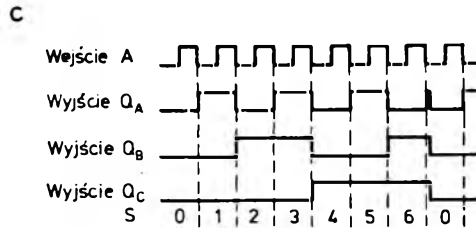
Na rysunku 3.9 przedstawiono schemat licznika modulo 9, uzyskany przez skrócenie cyklu licznika dziesiętnego pracującego w kodzie 5 4 2 1.

W przedstawionych układach skracania cyklu przez samoczynne zerowanie czas trwania impulsu zeru-



Rys. 3.7
Licznik modulo 7
pracujący w kodzie
dwójkowym 8 4 2 1

a — schemat logiczny z użyciem dwuwęciowej bramki I, b — schemat logiczny z użyciem trzYWęciowej bramki NIE-I i inwertera, c — przebiegi na wejściu i wyjściach licznika



jącego jest bardzo krótki. Zmiana stanu wysokiego na niski na jednym tylko wejściu układu dekodującego powoduje zanik impulsu zerującego. Jeżeli więc poszczególne przerzutniki licznika będą miały różny czas propagacji sygnału od wejścia zerowania do wyjścia, to może się zdarzyć, że tylko część przerzutników zostanie wyzerowana i licznik będzie rozpoczął cykl od stanu innego niż odpowiadający liczbie dziesiętnej 0. Prawdopodobieństwo wystąpienia wadliwej pracy tego rodzaju układów jest większe przy granicznych wartościach zakresu temperatury otoczenia oraz w układach liczników o większej długości cyklu.

Aby wyeliminować możliwości wystąpienia wadliwej pracy liczników o skróconym cyklu stosuje się układy wydłużające impuls zerujący do wartości, która gwarantuje wyzerowanie każdego przerzutnika wchodzącego w skład licznika w najbardziej niekorzystnych warunkach.

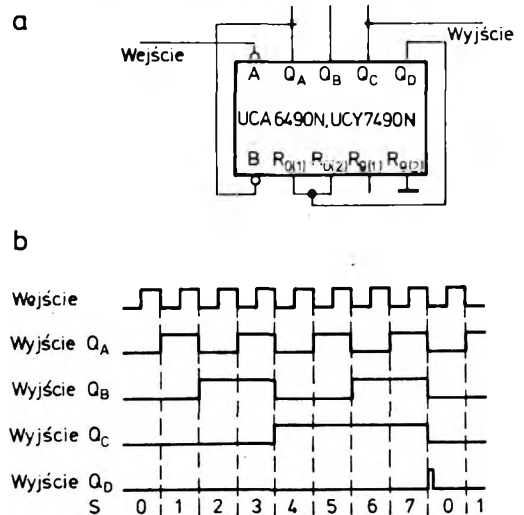
Aby otrzymać impuls zerujący o odpowiednim czasie trwania, należy stosować dodatkowo przerzutnik monostabilny wyzwalany sygnałami z dekodera lub przerzutnik RS złożony z dwóch bramek I-NIE. Na rysunku 3.10 przedstawiono schemat licznika modulo 9 z układem wydłużającym impuls zerujący. Zabroniony stan licznika 1 0 0 1 zostaje zdekodowany przez dwuwęciową bramkę I-NIE i wprowadzony na wejście przerzutnika RS, złożonego z dwóch dwu-

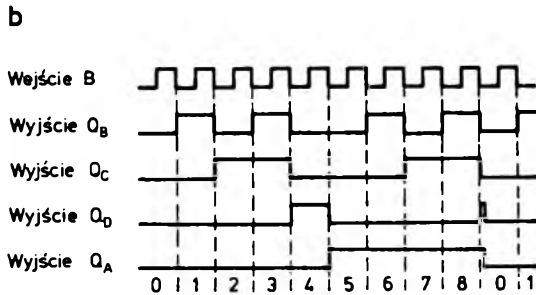
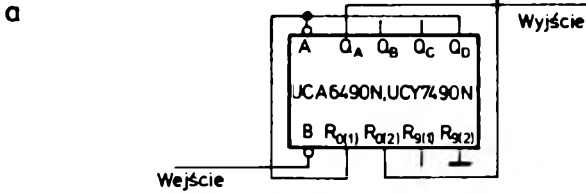
wejściowych bramek I-NIE, powodując rozpoczęcie zerowania licznika. Impuls zerujący trwa do chwili wystąpienia na wejściu zegarowym stanu wysokiego. Czas trwania impulsu zerującego nie zależy od szybkości wyzerowania któregośkolwiek przerzutnika, lecz jest wyznaczony czasem trwania przerwy między dodatnimi impulsami na wyjściu zegarowym. W układzie tym ujemne zbocze przebiegu wyjściowego jest opóźnione w stosunku do dodatniego zbocza impulsu zegarowego tylko o czas propagacji dwóch bramek I-NIE, niezależnie od długości cyklu całego licznika.

Liczniki o skróconym cyklu można łączyć szeregowo lub równolegle, tworząc układy liczące o wymaganej

Rys. 3.8. Licznik modulo 8

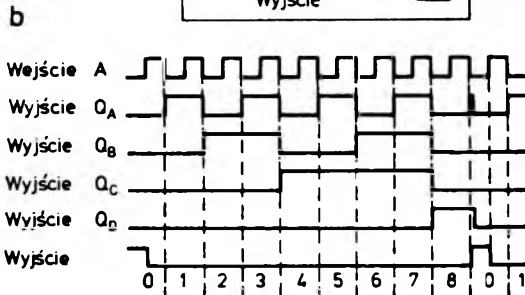
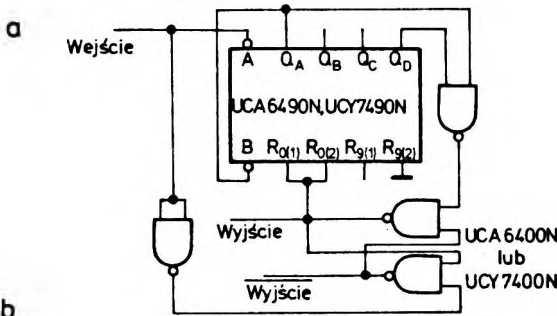
a — schemat logiczny, b — przebiegi na wejściu i wyjściach licznika





Rys. 3.9. Licznik modulo 9 pracujący w kodzie 5 4 2 1

a — schemat ideowy, b — przebiegi na wejściu i wyjściach licznika



Rys. 3.10. Licznik modulo 9 z układem wydłużającym impuls zerujący

a — schemat logiczny, b — przebiegi na wejściu i wyjściach licznika

długości cyklu. Na rysunku 3.11 pokazano schemat logiczny licznika modulo 44. Układ ten po zliczeniu 44 impulsów na wejściach Q_C obu liczników osiągnie stan logiczny 1, dla którego na wejściach zerowania wystąpi stan $R_{0(1)} = R_{0(2)} = 1$, powodujący sprowadzenie liczników do stanu wyjściowego.

Na rysunku 3.12 przedstawiono schemat logiczny licznika modulo 88 z układem wydłużającym impuls zerujący. Zabroniony stan układu licznikowego, reprezentujący liczbę 88, wyzwala przrzutnik RS zło-

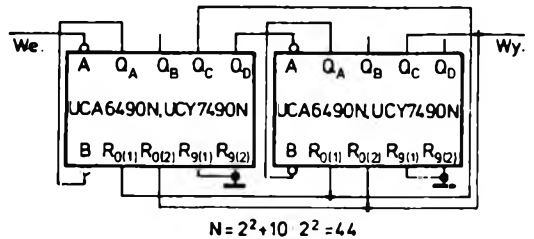
żony z dwóch dwuwejściowych bramek I-NIE, rozpoczynając impuls zerujący. Najbliższe dodatnie zbocze impulsu zegarowego zmienia ponownie stan przrzutnika RS powodując zanik impulsu zerującego i rozpoczęcie nowego cyklu licznika modulo 88.

Na rysunku 3.13 przedstawiono schemat logiczny licznika modulo 825 złożonego z trzech liczników dziesiętnych i układu wydłużającego impuls zerujący. Długość cyklu oblicza się jako sumę wag wyjść licznika dołączonych do wejść dekodera wyróżniającego

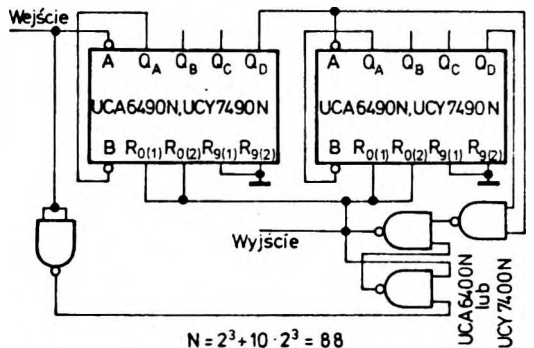
stan zabroniony. Ponieważ zastosowano liczniki dziesiętne, więc przy sumowaniu wag należy przyjąć następujące mnożniki: dla pierwszego licznika 10^0 , dla drugiego 10^1 i dla trzeciego 10^2 . Długość cyklu układu wynosi $S = 10^0 (2^0 + 2^2) + 10^1 \cdot 2^1 + 10^2 \cdot 2^3 = 825$.

Inną metodę realizacji liczników o długim cyklu zastosowano w układzie pokazanym na rys. 3.14. Liczniki UCY7490N o skróconym cyklu są połączone równoległe. Długość cyklu licznika pierwszego wynosi S_1 , natomiast licznika drugiego wynosi S_2 , przy czym S_1 i S_2 muszą być liczbami pierwszymi względem siebie. Długość cyklu całego układu jest równa iloczynowi długości cyklu obu liczników. W przedstawionym przykładzie cykl pierwszego licznika wynosi 5, a drugiego 9. Po zliczeniu 45 impulsów na wejściach zerowania obu liczników wystąpi jednocześnie stan logiczny 1. Sygnał wyjściowy jest iloczynem stanów występujących na wejściach zerowania obu liczników.

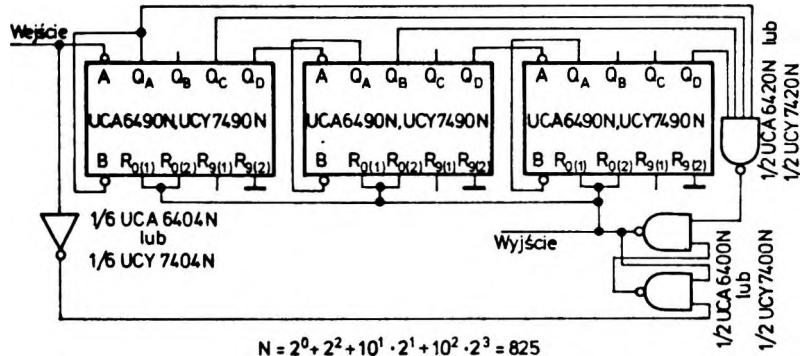
Rys. 3.12. Schemat logiczny licznika modulo 88 / układem wydłużającym impuls zerujący



Rys. 3.11. Schemat logiczny licznika modulo 44



Rys. 3.13 Schemat logiczny licznika modulo 825 / układem wydłużającym impuls zerujący



Rys. 3.14. Schemat logiczny licznika modulo 45

