

3.2.3.2. Podwójne dekodery/demultipleksery z dwóch linii na cztery linie: UCA64155N, UCY74155N

Monolityczny układ scalony UCA64155N lub UCY74155N zawiera dwa dekodery/demultipleksery z oddzielnymi wejściami strobowania i wspólnymi wejściami adresowymi. Układ może być stosowany jako dekodery słowa dwubitowego w kodzie dwójkowym na informację w kodzie 1 z 4, lub jako demul-

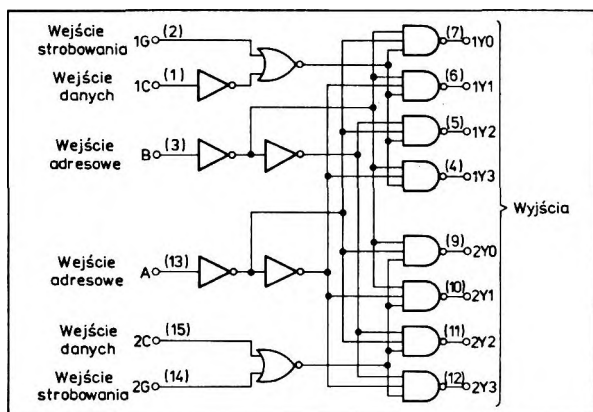
tipler z 1 linii na 4 linie. Oddzielne wejścia strobowania umożliwiają uaktywnienie lub zablokowanie każdego dekodera/demultipleksa.

Dane przyłożone do wejścia 1C są uzyskiwane na wyjściach w postaci inwersyjnej, natomiast dane przyłożone do wejścia 2C są wprowadzone na wyjś-

cia bez inwersji. Inwerter na wejściu 1C umożliwia połączenie układu do realizacji funkcji dekodera słowa trzybitowego w kodzie dwójkowym na informację w kodzie 1 z 8 lub demultipleksera z 1 linii na 8 linii bez stosowania zewnętrznych bramek.

Działanie logiczne układu opisują tabele stanów dla różnych połączeń:

- dekodera dwóch linii na cztery linie,
- demultipleksera jednej linii na cztery linie.



Typowa wartość mocy rozpraszanej wynosi 125 mW. Układy UCA64155N i UCY74155N są produkowane w obudowach A49C(CE71).

Tabele stanów dla:

- dekodera dwóch linii na cztery linie,
- demultipleksera jednej linii na cztery linie

Wejścia				Wyjścia			
Adresowe		Strobo- wania	Danych	1Y0 1Y1 1Y2 1Y3			
B	A	1G	1C				
X	X	H	X	H	H	H	H
L	L	L	H	L	L	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

Wejścia				Wyjścia			
Adresowe		Strobo- wania	Danych	2Y0	2Y1	2Y2	2Y3
A	B	2G	2C				
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

Tabela stanów dla:

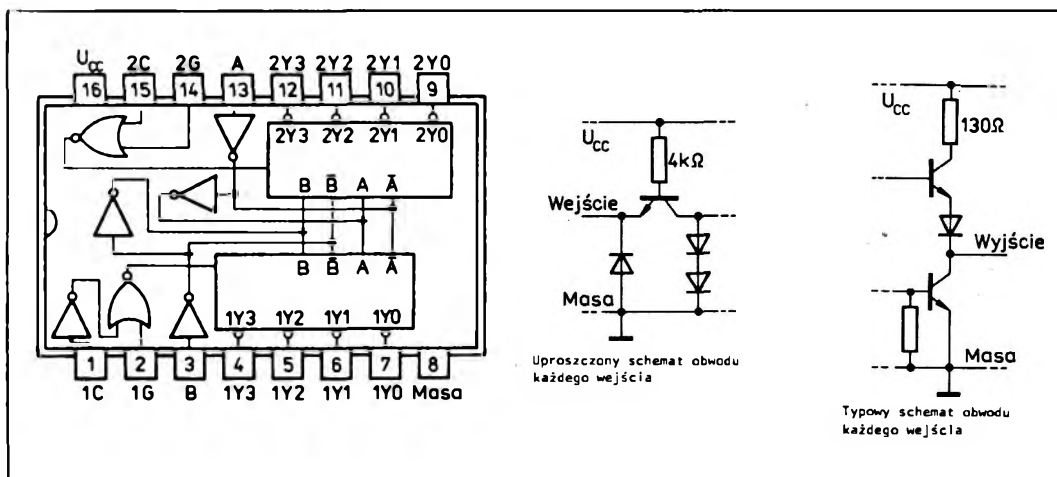
- dekodera trzech linii na osiem linii
- demultipleksera jednej linii na 8 linii

Wejścia				Wyjścia							
Adresowe			Strobowania lub danych	(0) 2Y0	(1) 2Y1	(2) 2Y2	(3) 2Y3	(4) 2Y0	(5) 2Y1	(6) 2Y2	(7) 2Y3
C ¹⁾	B	A		G ²⁾							
X L L L L H H H H H	X L L H H L L H H H	X L H L H L L L L H	H L L L L L L L L L	H L H H H H H H H H	H H L H H H H H H H	H H H L H H H H H H	H H H H L H H H H H	H H H H L H H H H H	H H H H H L H H L H	H H H H H H H H H L	

Oznaczenia: H = stan wysoki, L = stan niski, X = stan dowolny

¹⁾ Wejścia 1C i 2C są połączone razem

²⁾ Wejścia 1G i 2G są połączone razem



Wartości dopuszczalne parametrów

Parametry		Wartość		Jednostki
Nazwa	Symbol	min	max	
Napięcie zasilania	U_{CC}		7	V
Napięcie wejściowe	U_I		5,5	V
Ujemny prąd wejściowy	$-I_I$		12	mA
Zakres temperatury przechowywania	t_{stg}	-55	125	°C

Zalecane warunki pracy

Parametry			Wartość			Jednostki	
Nazwa		Symbol	min	nom	max		
Napięcie zasilania			U_{CC}	4,75	5,0	5,25	V
Obciążalność każdego wyjścia w stanie:	niskim	N_L	10			s.o.l.	
	wysokim	N_H	20				
Obciążenie wnoszone przez każde wejście				1			
Zakres temperatury otoczenia	UCA64155N	t_{amb}	-40	85		°C	
	UCY74155N		0	70			

Parametry statyczne

Jeżeli nie podano inaczej — w pełnym zakresie temperatury otoczenia)

Parametry		Wartość		Jednostki	Warunki pomiaru	Układ pomiarowy
Nazwa	Sym-bol	min	typ ¹⁾ max			
Napięcie wejściowe w stanie niskim	U_{IL}		0,8	V		
Napięcie wejściowe w stanie wysokim	U_{IH}	2		V		
Ujemne napięcie wejściowe	$-U_I$		1,5	V	$U_{CC} = 4,75 \text{ V}$ $I_I = -12 \text{ mA}$ $t_{amb} = 25^\circ\text{C}$	<i>E</i>
Prąd wejściowy w stanie niskim	I_{IL}		-1,6	mA	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,4 \text{ V}$	<i>B</i>
Prąd wejściowy w stanie wysokim	I_{IH}		40	μA	$U_{CC} = 5,25 \text{ V}$; $U_I = 2,4 \text{ V}$	<i>B</i>
			1	mA	$U_{CC} = 5,25 \text{ V}$; $U_I = 5,5 \text{ V}$	
Napięcie wyjściowe w stanie niskim	U_{OL}	0,2	0,4	V	$I_{OL} = 16 \text{ mA}$	$U_{CC} = 4,75 \text{ V}$ <i>A</i>
Prąd wyjściowy w stanie niskim	I_{OL}		16	mA	$U_{OL} \leq 0,4 \text{ V}$	
Napięcie wyjściowe w stanie wysokim	U_{OH}	2,4	3,4	V	$I_{OH} = -0,8 \text{ mA}$	$U_{CC} = 4,75 \text{ V}$ <i>A</i>
Prąd wyjściowy w stanie wysokim	I_{OH}		-800	μA	$U_{OH} \geq 2,4 \text{ V}$	
Zwarciov prąd wyjściowy ²⁾	I_{OS}	-18	-35	-57	mA	$U_{CC} = 5,25 \text{ V}$ <i>C</i>
Prąd zasilania	I_{CC}		25	40	mA	$U_{CC} = 5,25 \text{ V}$ <i>D</i>

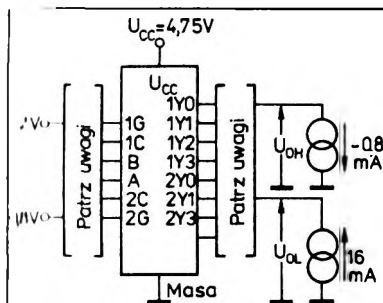
¹⁾ Wartości typowe podane są przy $U_{CC} = 5 \text{ V}$, $t_{amb} = 25^\circ\text{C}$

²⁾ Jednocześnie może być zwarte nie więcej niż jedno wyjście

Parametry dynamiczne przy $U_{CC} = 5 \text{ V}$, $t_{amb} = 25^\circ\text{C}$

Parametry		Wartość			Jednostki	Warunki pomiaru	Układ pomiarowy
Nazwa	Symbol	min	typ	max			
Czas propagacji sygnału od wejścia: <i>A</i> , <i>B</i> , <i>2C</i> , <i>1G</i> lub <i>2G</i> przez dwa poziomy logiczne na wyjście <i>Y</i>	t_{PHL}		18	27	ns	$C_L = 15 \text{ pF}$ $R_L = 400 \Omega$	<i>F</i>
	t_{PLH}		13	20			
Czas propagacji sygnału od wejścia <i>A</i> lub <i>B</i> przez trzy poziomy logiczne na wyjście <i>Y</i>	t_{PHL}		21	32			
	t_{PLH}		21	32			
Czas propagacji sygnału od wejścia <i>1C</i> przez trzy poziomy logiczne na wyjściu <i>Y</i>	t_{PHL}		20	30			
	t_{PLH}		16	24			

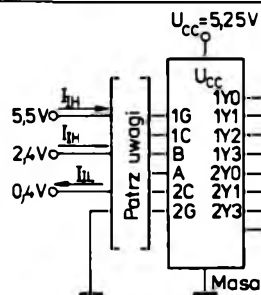
t_{PHL} czas propagacji sygnału do stanu niskiego na wyjściu
 t_{PLH} czas propagacji sygnału do stanu wysokiego na wyjściu



Uwagi:

1. Każde wyjście jest badane oddzielnie.
2. Wartości napięć wejściowych i odpowiadające im wyjścia badane określa tabela.

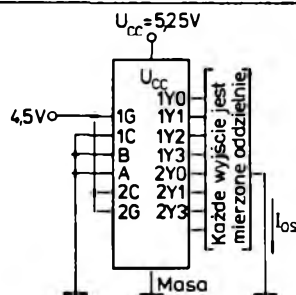
Układ pomiarowy A. Pomiary U_{OL} , U_{OH}



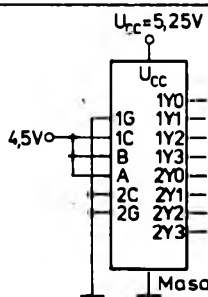
Uwagi:

1. Każde wejście jest badane oddzielnie.
2. Wejścia nie badane należy dotaczyć do masy.

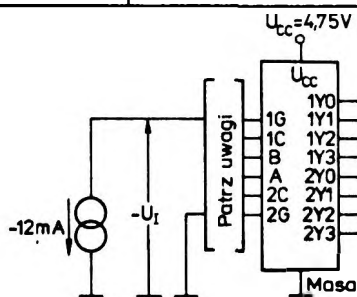
Układ pomiarowy B. Pomiary I_{IL} , I_{IH}



Układ pomiarowy C. Pomiary I_{0S}



Układ pomiarowy D. Pomiary I_{cc}



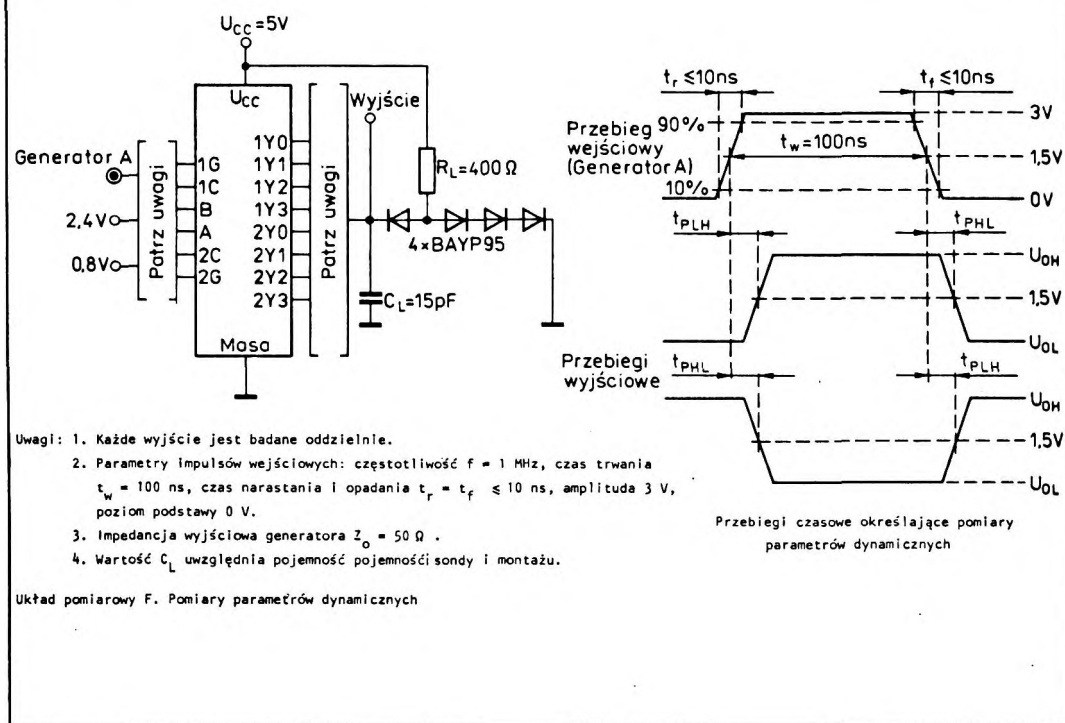
Uwagi:

1. Każde wejście jest badane oddzielnie.
2. Pomiary $-U_I$ wykonuje się przy $I_I = -12\text{ mA}$ z wejścia badanego, pozostałe wejścia są dotychczas do masy.

Układ pomiarowy E. Pomiary $-U_I$

Tabela określająca warunki pomiaru U_{OL} , U_{OH}

Napięcie wejściowe		Wyjścia badane	
$U_I = 0,8\text{ V}$	$U_I = 2\text{ V}$	Pomiar U_{OL} na wyjściach	Pomiar U_{OH} na wyjściach
A, B, 1G, 2G, 2C	1C	1Y0, 2Y0	1Y1, 1Y2, 2Y1, 2Y2
B, 1G, 2G, 2C	A, 1C	1Y1, 2Y1	1Y0, 1Y3, 2Y0, 2Y3
A, 1G, 2G, 2C	B, 1C	1Y2, 2Y2	1Y0, 1Y3, 2Y0, 2Y3
1G, 2G, 2C	A, B, 1C	1Y3, 2Y3	1Y1, 1Y2, 2Y1, 2Y2
A, B, 2C	1G, 2G, 1C		1Y0, 2Y0
A, B, 1G, 2G, 1C	2C		1Y0, 2Y0
B, 2C	A, 1G, 2G, 1C		1Y1, 2Y1
B, 1G, 2G, 1C	A, 2C		1Y1, 2Y1
A, 2C	B, 1G, 2G, 1C		1Y2, 2Y2
A, 1G, 2G, 1C	B, 2C		1Y2, 2Y2
2C	A, B, 1G, 2G, 1C		1Y3, 2Y3
1G, 2G, 1C	A, B, 2C		1Y3, 2Y3



3.2.4. Przykłady zastosowania multiplexerów i demultiplexerów

Multiplexowy system przesyłania danych

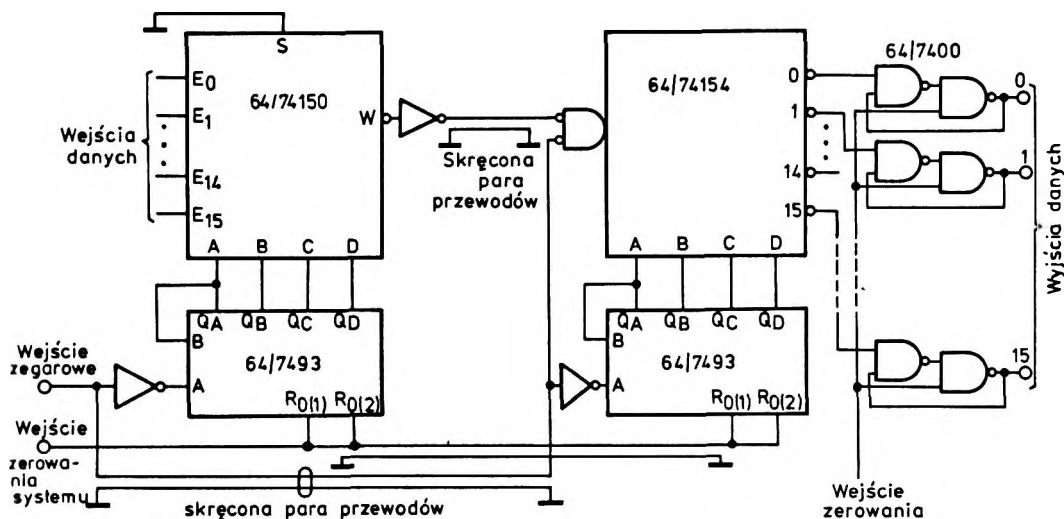
Przesyłanie informacji cyfrowej w postaci szeregowej jest rozwiązaniem korzystnym ze względu na zmniejszenie liczby linii transmisyjnych.

Do realizacji transmisji szeregowej danych konieczne jest zastosowanie po stronie nadawczej przetwornika informacji z równoległej na szeregową oraz po stronie odbiorczej przetwornika informacji z szeregowej na równoległą.

Układy tych przetworników funkcjonalnie odpowiadają jednobiegunowym przełącznikom wielopozycyjnym z wyborem pozycji kodowanym za pomocą dekodera adresu. Multiplexer przesyła dane z wielu wejść na jedno wyjście, demultiplexer natomiast realizuje funkcję odwrotną, czyli przekazuje dane z jednego wejścia na selektywnie wybrane wyjścia. Aby odzyskać po stronie odbiorczej informację w postaci pierwotnej konieczne jest zastosowanie w systemie

multiplexera i demultiplexera o takich samych dekodernach adresów. Schemat logiczny multiplexowego systemu przesyłania danych przedstawiono na rys. 3.54. Dane z wejść równoległych są przekazywane szeregowo na wyjście multiplexera 64/74150. Informacja szeregowa jest transmitowana na wejście danych demultiplexera 64/74154. Dzięki synchronicznej zmianie adresów multiplexera i demultiplexera dane są przesyłane bit po bicie z wejść układu 64/74150 na odpowiednie wyjścia układu 64/74154. Przerzutniki typu „zatrząsk” zastosowane na wyjściu systemu przechowują informację w postaci równoległej przez wymagany okres, obecność ich jednak nie jest konieczna, lecz zależy od układu z jakim systemem współpracuje. W multiplexowym systemie przesyłania danych przedstawionym na rys. 3.54 wymagane jest zerowanie przerzutników typu „zatrząsk” przed każdym cyklem wprowadzania danych.

Opisany system przesyłania sygnałów cyfrowych może



Rys. 3.54. Multipleksowy system transmisji danych

być stosowany dla odległości między multiplexerem a demultiplexerem wynoszącej około kilkadziesiąt centymetrów. Jeżeli odległości te są większe, lecz nie przekraczają 1 m, to można stosować układy dopasowujące serii 75 (jako nadajniki i niesymetryczne linie przesyłowe). Dla odległości większych należy stosować symetryczne linie przesyłowe oraz układy nadajników i odbiorników serii 75.

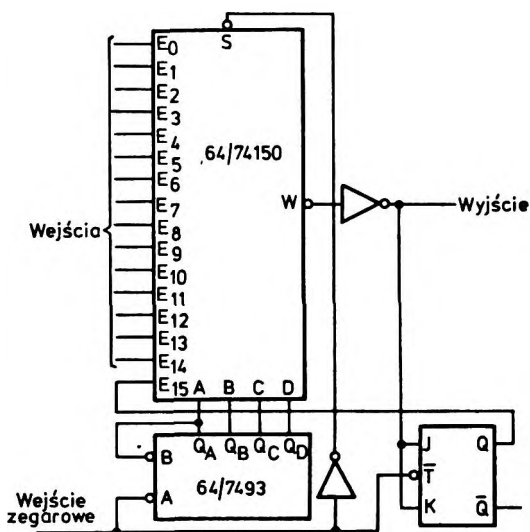
Popularny sposób kontroli przesyłanej informacji polega na kontroli parzystości lub nieparzystości jedynek w słowie. Metoda ta umożliwia wykrywanie nieparzystej liczby błędów w kontrolowanym słowie. Na rysunku 3.55 przedstawiono prosty przykład wytwarzania bitu kontrolnego dla słowa 15-bitowego.

Przerzutnik JK zmienia stan za każdym impulsem zegarowym, przy którym na wyjściu układu jest stan logiczny 1. Jeżeli dane słowo wejściowe zawiera nieparzystą liczbę jedynek, to stan wyjścia Q przerzutnika po przesłaniu wszystkich bitów słowa będzie w stanie logicznym 1 i przez wejście E15 multiplexera zostanie przesłany jako bit parzystości.

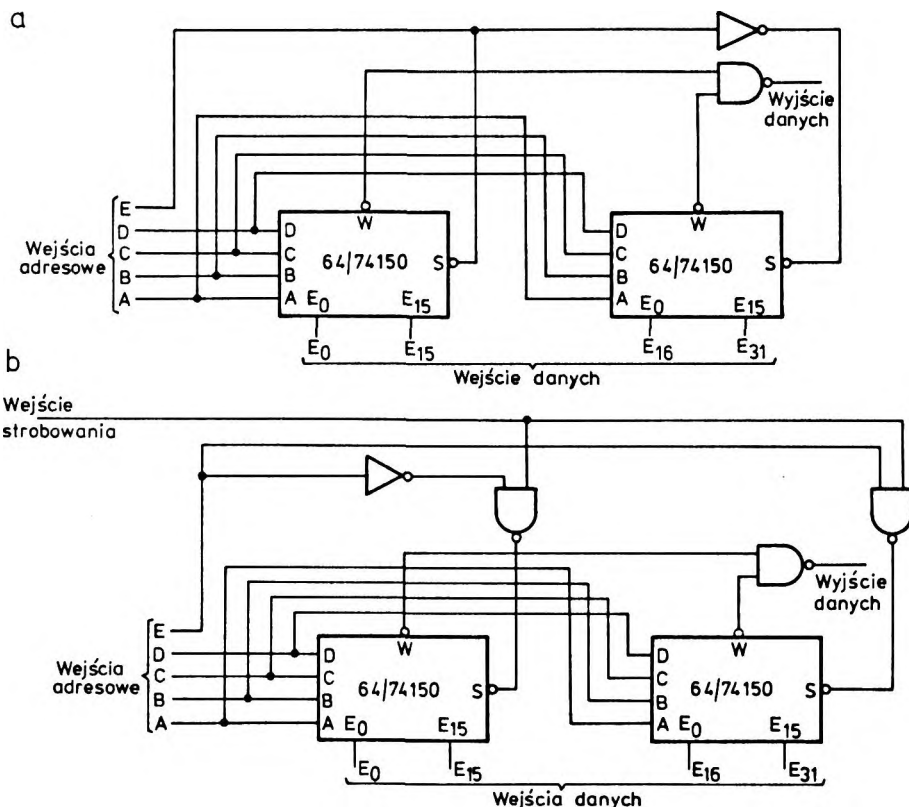
Układy multiplexerów ze zwiększoną liczbą wejść

Scalone multiplexery (wytwarzane w NPCP Cemi) mają 16, 8, 4 i 2 wejścia danych i odpowiednio 4, 3, 2 i 1 wejścia adresowe. Jeżeli wymagane jest zasto-

sowanie multiplexera o większej liczbie wejść, to można zastosować jedno z rozwiązań przedstawionych na rys. 3.56. W układach przedstawionych na rys. 3.56a liczba wejść informacyjnych jest dwukrot-



Rys. 3.55. Schemat logiczny przetwornika postaci informacji z równoległej na szeregową słów 15-bitowych plus bit parzystości

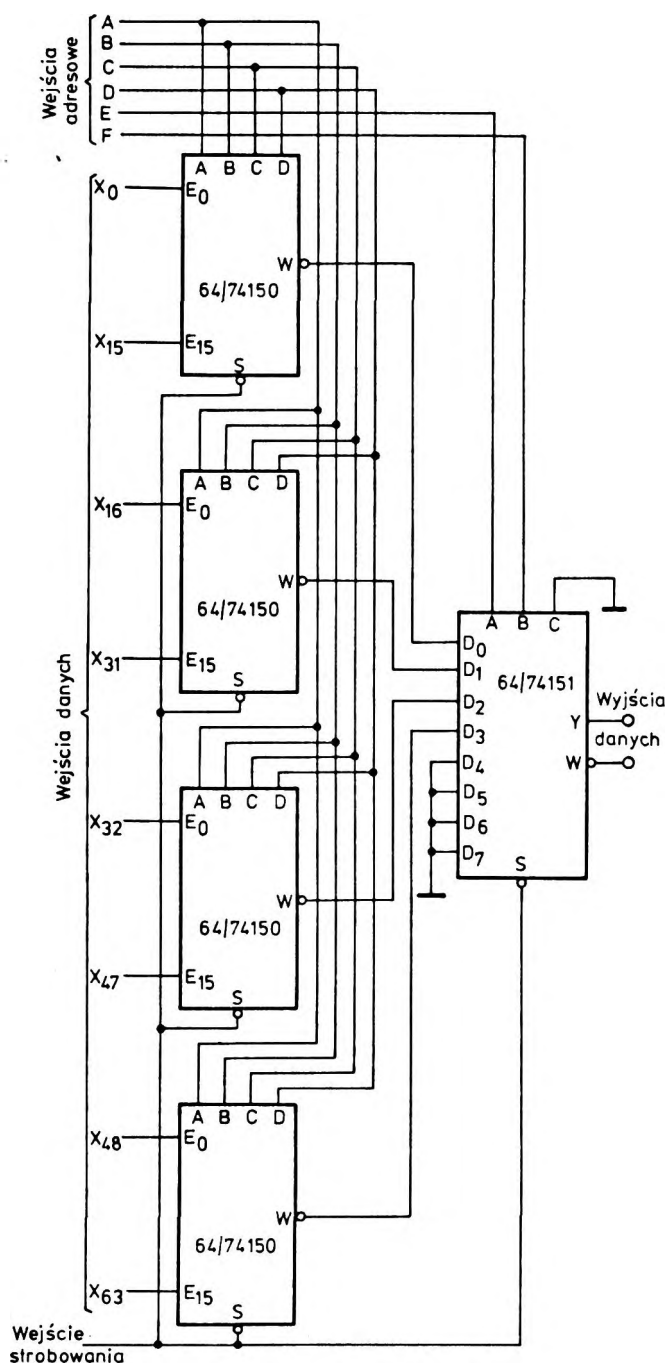


Rys. 3.56. Multiplexery 32-wejściowe

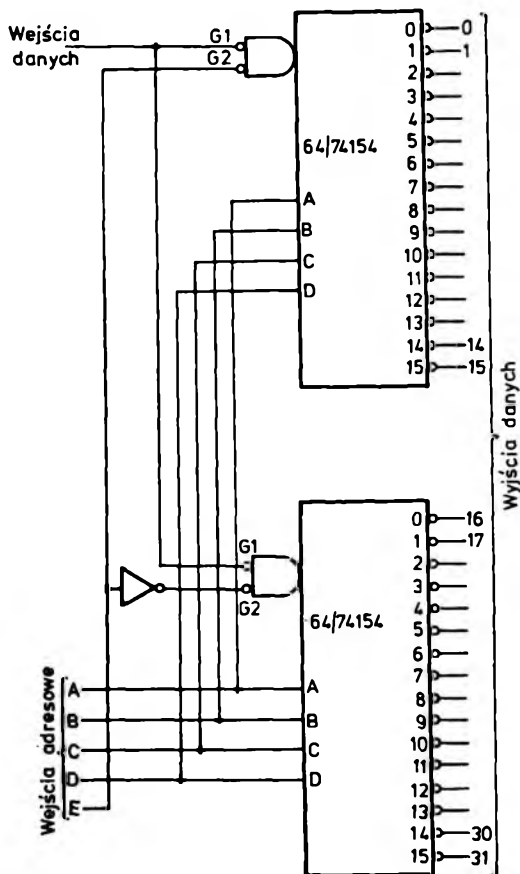
a — schemat logiczny multiplexera 32-wejściowego, b — schemat logiczny multiplexera 32-wejściowego z wejściem strobowania

nie większa niż liczba wejść każdego z zastosowanych multiplexerów. Wejście strobowania jest wykorzystane jako wejście adresowe. Jeżeli na wejściu adresowym E istnieje niski poziom logiczny, to informacja jest przesyłana z wejść od E_0 do E_{15} . Aktualnie wybrane wejście jest określone przez stany wejść adresowych A , B , C i D . W tym stanie na wyjściu drugiego multiplexera będzie wysoki poziom logiczny, niezależnie od stanu pozostałych wejść, ponieważ na jego wejściu strobowania istnieje poziom logiczny 1. Jeżeli natomiast na wejściu adresowym E wystąpi stan wysoki, to informacja z wejść od E_{16} do E_{31} będzie przesyłana na wyjście. Aktualnie wybrane wejście drugiego multiplexera jest określone stanami wejść adresowych A , B , C i D . W tym stanie na wyjściu pierwszego multiplexera wystąpi wysoki poziom logiczny. Negacja wprowadzona przez bramkę I-NIE znosi negację wnoszoną przez multiplexery 64/74150.

Jeżeli potrzebne jest również wejście strobowania, to opisany układ można zmodyfikować w sposób przedstawiony na rys. 3.56b. Stan niski na wejściu strobowania powoduje wystąpienie stanu wysokiego na wyjściu każdego multiplexera oraz stanu niskiego na wyjściu całego układu (wyjściu bramki I-NIE) niezależnie od stanów na pozostałych wejściach. Jeżeli na wejściu strobowania istnieje stan wysoki, to na wyjściu układu wystąpi stan przyłożony do wejścia wybranego stanami wejść adresowych A , B , C , D i E . Dalsze zwiększanie liczby wejść informacyjnych jest możliwe w układach multiplexerów wielopoziomowych. Na rysunku 3.57 przedstawiono układ multiplexera o 64 wejściach, składający się z czterech multiplexerów pierwszego poziomu o 16 wejściach informacyjnych każdy. Multiplexer wyjściowy (drugiego poziomu) wybiera stanami wejść E i F pozycję multiplexera pierwszego poziomu, z którego wejść przesyłana jest informacja na wyjście układu.



Rys. 3.57
Schemat logiczny
multiplexera
64-wejściowego



Rys. 3.58. Schemat logiczny układu spełniającego funkcję demultipleksera 32-wejściowego

Przedstawiony układ można łatwo rozbudować do 128 wejść stosując dodatkowe cztery multiplexery 64/74150 na pierwszym poziomie oraz włączając wejście *C* multipleksera 64/74151 jako kolejne wejście adresowe *G*. Dalsze powiększanie liczby wejść do 256 jest możliwe przez zastosowanie następnych ośmiu multiplekserów 64/74150 na pierwszym poziomie oraz 16-wejściowego multipleksera na drugim poziomie wyjściowym.

Układy demultiplekserów o zwiększonej liczbie wyjść

W NPCP Cemi wytwarzane są demultiplexery o 16, 8 i 4 wyjściach oraz odpowiednio o 4, 3 i 2 wejściach

adresowych. Układ 67/74155 spełnia następujące funkcje:

- a) dwukrotnego dekodera dwubitowego kodu dwójkowego na kod 1 z 4,
- b) dwukrotnego demultipleksera czterowyjściowego,
- c) dekodera trzybitowego kodu dwójkowego na kod 1 z 8,
- d) demultipleksera ośmiowyjściowego.

Układ 64/74154 jest dekodern czterobitowego kodu dwójkowego na kod 1 z 16 lub demultiplekserem o 16 wyjściach.

Jeżeli liczba bitów słowa przekracza liczbę wyjść dostępnych demultiplekserów lub dekodowany jest kod dwójkowy o większej liczbie bitów niż cztery, to można zastosować jedno z rozwiązań przedstawionych na rysunkach 3.58 lub 3.59.

W układzie przedstawionym na rys. 3.58 wykorzystano wejście strobowania aby zwiększyć liczbę wejść adresowych. Zastosowanie inwertera w obwodzie wejścia strobowania drugiego multipleksera umożliwia ustawienie wszystkich wyjść tego demultipleksera w stanie wysokim niezależnie od stanów na innych wejściach, jeżeli tylko na wejściu adresowym *E* istnieje stan niski.

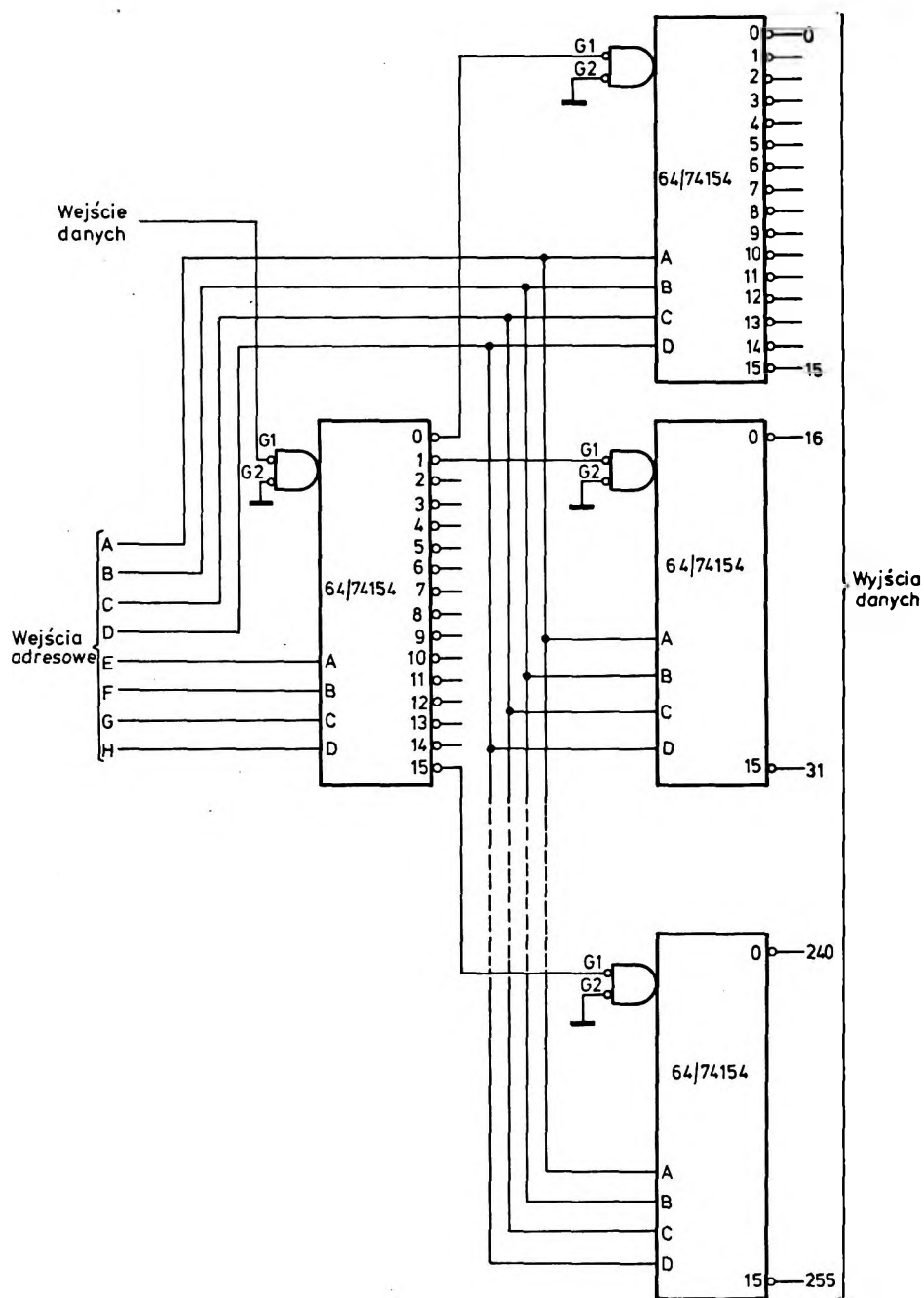
Wyjścia od 0 do 15 są wybierane stanami wejść adresowych *A*, *B*, *C* i *D*. Dla stanu wysokiego na wejściu adresowym *E* wyjścia pierwszego demultipleksera (od 0 do 15) przyjmują stan wysoki niezależnie od stanów na pozostałych wejściach, a wyjścia od 16 do 31 wybierane stanami wejść adresowych *A*, *B*, *C* i *D*.

Jeżeli jest potrzebny demultiplekser o liczbie wyjść większej niż 32, to należy zastosować układ demultipleksera wielopoziomowego. Na rysunku 3.59 przedstawiono przykład demultipleksera dwupoziomowego o maksymalnej liczbie wyjść 256. Demultiplekser pierwszego poziomu przekazuje dane na wejścia demultiplekserów drugiego poziomu. Stany wejść adresowych *E*, *F*, *G* i *H* określają demultiplekser drugiego poziomu, na którego wejście są wprowadzane dane. Natomiast stany wejść adresowych *A*, *B*, *C* i *D* określają na które wyjście wybranego demultipleksera drugiego poziomu jest przekazywana informacja.

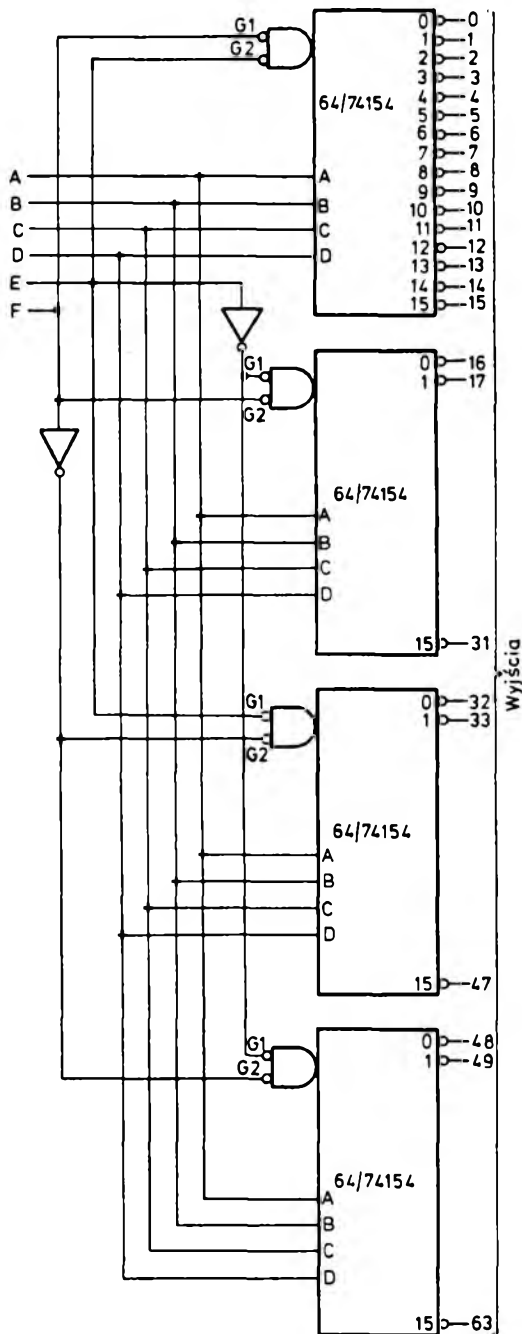
Wykorzystując wejścia strobowania i danych demultipleksera 64/74154 dla utworzenia dodatkowych wejść adresowych można zbudować dekodern sześciobitowego naturalnego kodu dwójkowego na kod 1 z 64, którego schemat logiczny widać na rys. 3.60.

Generatory słów

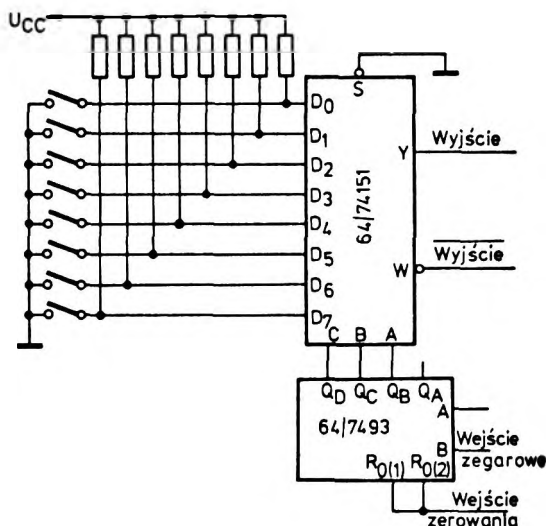
Jeżeli na każde wejście multipleksera zostanie przyłożony wymagany stan logiczny, to zmieniając stany



Rys. 3.59. Schemat logiczny dwupoziomowego układu demultiplexera 256 — wyjściowego



Rys. 3.60. Schemat logiczny dekodera 6-bitowego kodu dwójkowego na kod 1 z 64

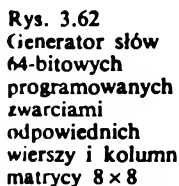


Rys. 3.61. Generator słów ośmiobitowych programowanych przełącznikiem

wejść adresowych w naturalnym kodzie dwójkowym otrzymamy na wyjściu tego multiplexera przebieg będący szeregową postacią zadanego słowa wejściowego. Zmiany zadanego słowa wejściowego są możliwe, jeśli na każde wejście multiplexera zostanie wprowadzony stan logiczny 0 lub 1 (przez zmianę pozycji przełącznika związanego z tym wejściem). Zastosowany multiplexer musi mieć tyle wejść ile bitów ma generowane słowo. Schemat logiczny generatora słów ośmiobitowych pokazano na rys. 3.61. Do generowania słów o większej liczbie bitów można przyjąć rozwiązanie przedstawione na rys. 3.62. Zmieniając stany wyjść licznika dwójkowego na wyjściu multiplexera otrzymujemy kolejne bity zadanego słowa. Programowanie kolejnych bitów generowanego słowa odbywa się przez wprowadzenie lub nie wprowadzenie zwarcia między wierszami i kolumnami matrycy 8×8 . Wybór wiersza matrycy odbywa się w dekodzie trzycybitowego kodu dwójkowego na kod 1 z 8, natomiast wybór kolumny matrycy jest określony stanami wejść adresowych multiplexera ośmiowejściowego. Zmieniając stany licznika w naturalnym kodzie dwójkowym na wyjściu multiplexera otrzymujemy kolejne bity zadanego słowa.

Pamięci

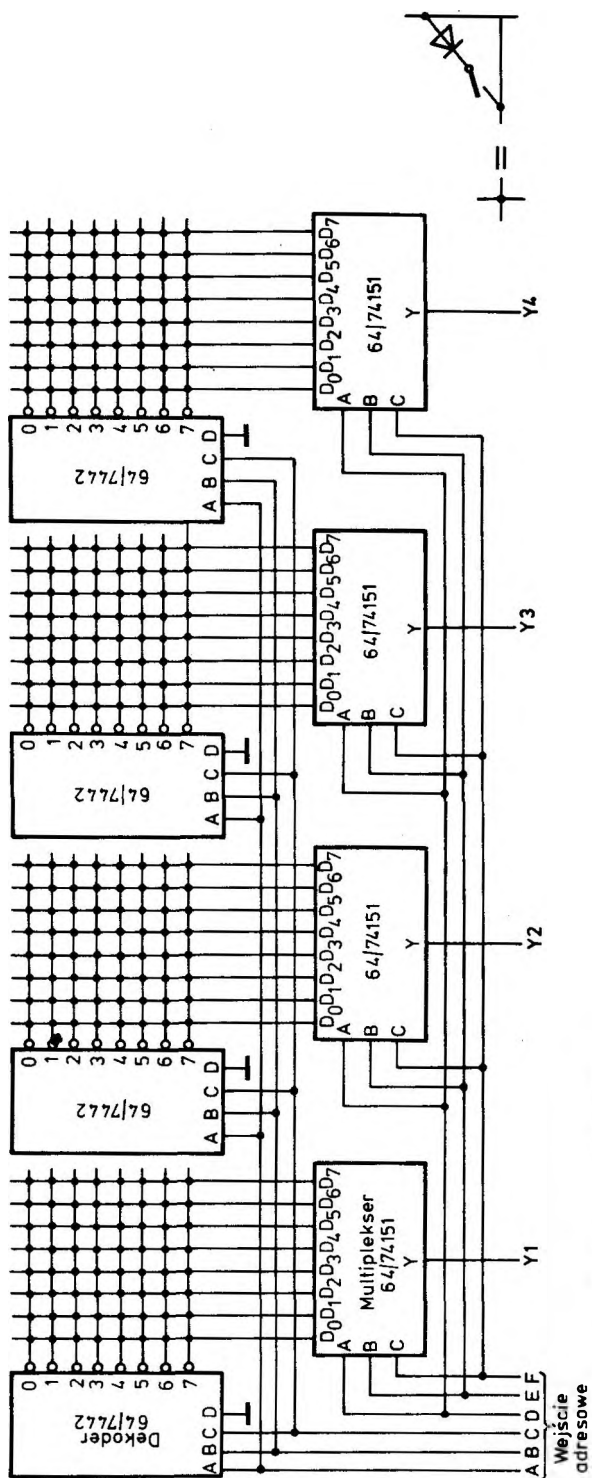
W wielu zastosowaniach wymagane są stałe pamięci o niewielkiej pojemności z możliwością łatwego ich



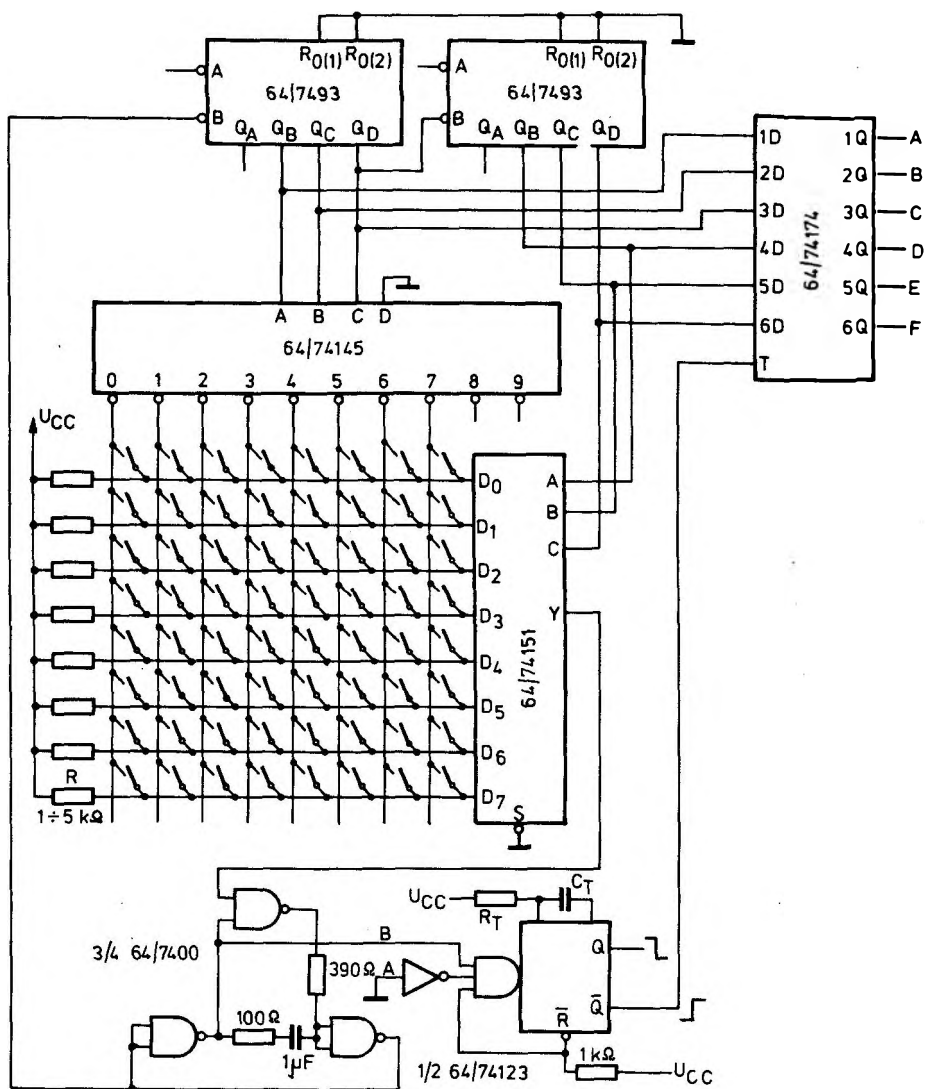
Jeżeli wymagana jest pamięć o większej pojemności i innej organizacji, to sposób realizacji tego zadania ilustruje przykład pamięci stałej o pojemności 64×4 bitów przedstawiony na rys. 3.63.

Multipleksery znajdują również zastosowanie w układach wprowadzania danych z klawiatury. Na rys. 3.64 przedstawiono sekwencyjny układ przepatrywania stanu 64 zestyków klawiatury w formie matrycy 8×8 . W stanie rozwarcia wszystkich zestyków bramkowany generator zbudowany z bramek I-NIE steruje licznik dwójkowy 64/7493 oraz utrzymuje ciągłe stan generacji impulsu przez przerzutnik monostabilny 64/74123.

Po czasie określonym wartościami elementów R_1 , C_1 przerzutnika monostabilnego 64/74123 na wyjściu Q tego przerzutnika wystąpi dodatni skok napięcia wprowadzający stan wejść D na wyjście Q układu 64/74174. W ten sposób stan zwarcia zestyków klawisza został wpisany do buforowej pamięci przechowującej tę informację do chwili następnego zwarcia zestyków klawiatury. Układ charakteryzuje się tym, że zwarcie dwóch zestyków nie wprowadza zniekształconego kodu. Jeżeli drugi zestyk jest zwierany w czasie gdy jest zwarty inny zestyk, to fakt ten jest ignorowany, aż do chwili zwolnienia wcześniej zwartego zestyku. Jeżeli dwa lub więcej zestyków jest zwieranych jednocześnie, to układ wprowadza informację o zwarciu zestyku bliższego czasowo w danym momencie ze stanem licznika dwójkowego.



Rys. 3.63. Schemat logiczny pamięci stałej o pojemności 64×4 bitów



Rys. 3.64. Schemat logiczny sekwencyjnego układu przepatrywania stanu 64 zestawów klawiatury

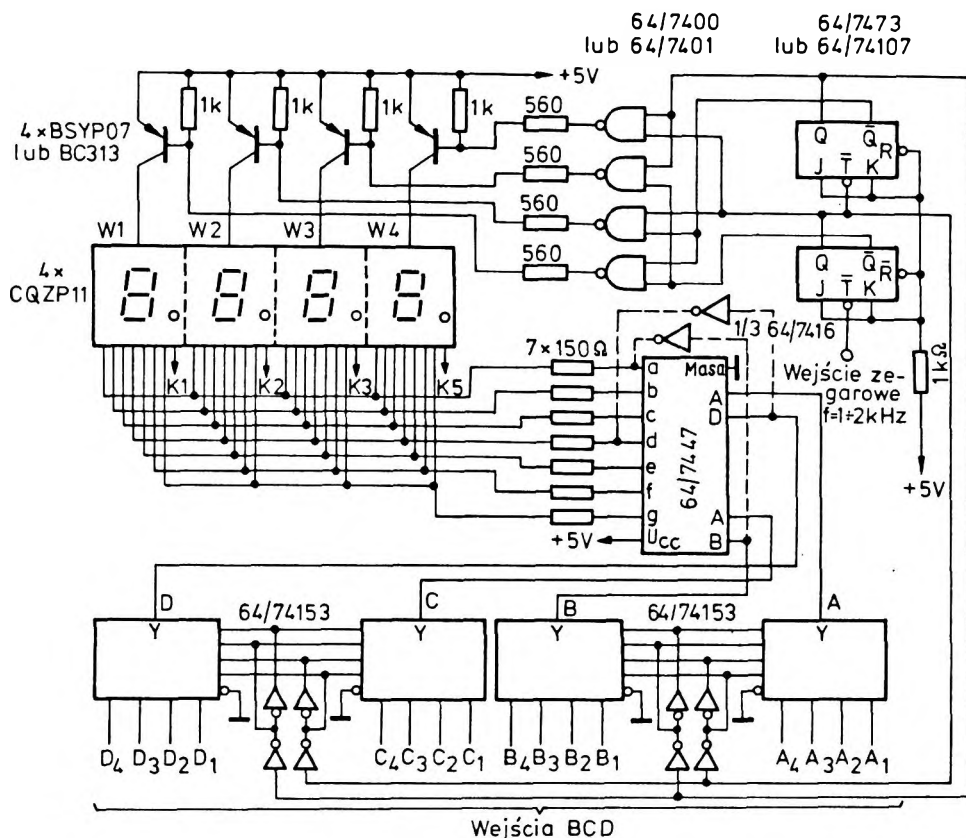
Informacja ta może być nieprawidłowa, ale określona w niezniekształconym kodzie. Aby układ pracował poprawnie, czas trwania impulsu z przerzutnika monostabilnego, określonego wartością $R_7 C_7$ powinien być dłuższy od okresu generatora, a krótszy od okresu przepisywania zestyków klawiatury.

Aby drgań zestyków lub bardzo szybko po sobie następujących zwarć tego samego zestyku nie wprowadzać jako oddzielnych informacji, w przedstawionym układzie zastosowano przerzutnik monostabilny z wyzwoleniem podtrzymywanym. Dzięki temu sygnał wprowadzający informację występuje po czasie określonym wartością $R_T C_T$ od chwili ostatniego impulsu podtrzymującego wyzwalenie przerzutnika monostabilnego.

Sekwencyjne systemy wyświetlania informacji wielocyfrowej

W pewnych zastosowaniach korzystne jest użycie sekwencyjnego systemu wyświetlania informacji wielocyfrowej. Jedną z głównych zalet tego systemu jest znaczne zmniejszenie liczby połączeń między układem dekodującym a wskaźnikami.

Na rysunku 3.65 podano przykład sekwencyjnego systemu wyświetlania informacji czterocyfrowej. W układzie tym zastosowano wskaźniki ze wspólną anodą typu CQZP 11, lecz mogą być użyte również wskaźniki CQZP 12 lub ich odpowiedniki, przy odpowiedniej zmianie wartości rezystancji ograniczających prąd świecenia segmentów.



Rys. 3.65. Schemat sekwencyjnego systemu wyświetlania informacji czterocyfrowej

Każdy wskaźnik jest sterowany jednocześnie od strony anody i katod. Od strony anody każdy wskaźnik ma indywidualny klucz tranzystorowy, natomiast od strony katod sterowanie odbywa się przez 7 kluczy wspólnych dla wszystkich półprzewodnikowych wskaźników cyfrowych (PWC), zawartych w układzie scalonego dekodera 64/7447N. Katody reprezentujące jednakowe segmenty są połączone razem.

Licznik czterostanowy 64/7473N lub 64/74107N wraz z układem dekodującym 64/7400N lub 64/7401N służą do przełączania kluczy anodowych z jednoczesnym wybieraniem informacji przez multiplexery 64/74153N.

Na wyjściach układu dekodującego stany licznika dwójkowego modulo 4 otrzymujemy przesuwający się sygnał 0 logicznego, powodujący zamykanie kluczy anodowych. Jednocześnie licznik steruje multiplexery, przez które następuje przepływ informacji do wejść dekodera 64/7447N sterującego katody PWC.

Informacja numeryczna, którą należy wyświetlić, jest określona w kodzie BCD przez sygnały logiczne: A_1, B_1, C_1 i D_1 dla wskaźnika W_1 , A_2, B_2, C_2 i D_2 dla wskaźnika W_2 , A_3, B_3, C_3 i D_3 dla wskaźnika W_3 , oraz A_4, B_4, C_4 i D_4 dla wskaźnika W_4 .

W wyniku jednoczesnego zamknięcia klucza anodowego wskaźnika W_1 oraz wprowadzenia na wejście dekodera 64/7447N informacji określonej przez sygnały logiczne A_1, B_1, C_1 i D_1 otrzymamy wyświetlenie odpowiadającej im cyfry na wskaźniku W_1 . Pozostałe wskaźniki w tym czasie nie świecą, ponieważ ich klucze anodowe są otwarte.

Zmiana stanu licznika powoduje zamknięcie klucza anodowego wskaźnika W_2 i jednoczesne wprowadzenie na wejścia dekodera informacji określonej przez sygnały logiczne A_2, B_2, C_2 i D_2 . W tej sytuacji wskaźnik W_2 będzie wyświetlał cyfrę odpowiadającą tym sygnałom. Pozostałe wskaźniki będą w tym czasie wygaszone, ponieważ ich klucze są otwarte.

Analogicznie przebiega proces wyświetlania informacji przez wskaźniki W_3 i W_4 .

ciągłe powtarzanie procesu przełączania kluczy anodowych i wprowadzania odpowiednich informacji na wejścia dekodera 64/7447N z częstotliwością około 1 kHz powoduje wyświetlenie całej informacji, określonej przez wejściowe sygnały logiczne.

Rezystory 150 Ω , włączone w obwody sterowania katod wskaźników, ograniczają prąd przewodzenia do wartości około 20 mA na segment. Wartość ta za-

pewnia dostateczną jasność wyświetlania cyfr przy sekwencyjnym sterowaniu z częstotliwością około 1 kHz i wypełnieniu 0,25.

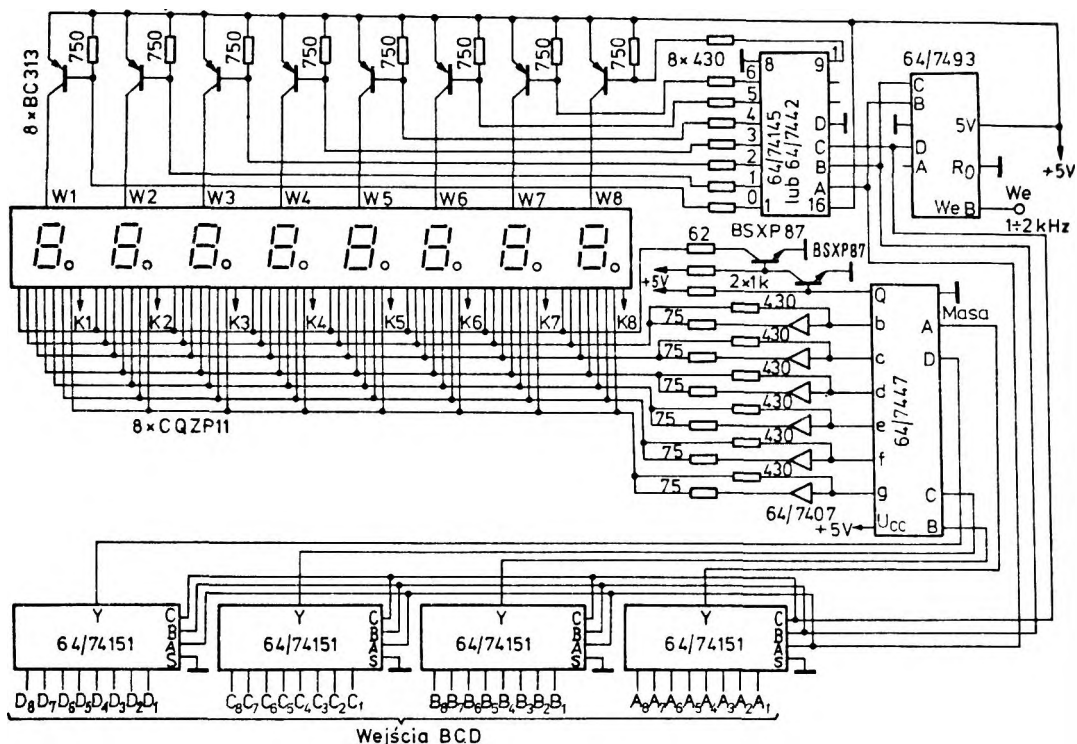
Ograniczenie prądu przewodzenia segmentu do 20 mA umożliwia bezpośrednie sterowanie katod wskaźników z wyjść dekodera bez konieczności stosowania dodatkowych kluczy. Klucze anodowe powinny zapewnić maksymalny prąd przewodzenia wskaźnika o wartości $8 \times 20 \text{ mA} = 160 \text{ mA}$.

Do wyświetlenia informacji w postaci liczb ośmiocyfrowych z zastosowaniem PWC można posłużyć się układem przedstawionym na rys. 3.66. Zasada pracy jest tu analogiczna jak opisanego układu czterech wskaźników.

Do wybrania w określonym przedziale czasu informacji wyświetlanej w jednym z ośmiu wskaźników zastosowano multiplexery ośmiowieściowe 64/74151 oraz trzybitową część licznika 64/7493. Do dekodowania stanów tego licznika zastosowano dekodery 64/7442 lub 64/74145. Licznik 64/7493 jest sterowany impulsami zegarowymi o częstotliwości $f = 1 \div 2 \text{ kHz}$. Każdemu z ośmiu stanów licznika odpowiada włączenie jednego klucza anodowego wskaźnika przy jednoczesnym wprowadzeniu na wejścia dekodera 64/7447 informacji określającej cyfrę wyświetloną w tym wskaźniku. W każdej chwili przewodzą segmenty tylko jednego wskaźnika. Pozostałe siedem wskaźników jest w stanie wyłączenia. W tej sytuacji stosunek czasu przewodzenia do czasu wyłączenia każdego wskaźnika wynosi 1 do 7. W tych warunkach prąd przewodzenia jednego segmentu powinien wynosić około $30 \div 40 \text{ mA}$ aby zapewnić dobrą jasność wyświetlonych cyfr. Zapewnienie prądu przewodzenia segmentu, wynoszącego około 40 mA za pomocą standardowego dekodera 64/7447 wymaga zastosowania dodatkowych kluczy katodowych, np. w postaci wzmacniaczy 64/7407. Maksymalny prąd przewodzenia klucza anodowego wynosi $8 \times 40 \text{ mA} = 320 \text{ mA}$.

Generator przebiegów zegarowych

W wielu urządzeniach lub systemach wymagane są przebiegi o ściśle określonych odstępach czasowych. Na rysunku 3.67 podano przykład układu generatora przebiegów zegarowych z demultiplexerem 64/74154. Wejściowe impulsy zegarowe zmieniają stany wejść adresowych demultipleksera. Jednocześnie impulsy zegarowe są podawane na wejście danych tego de-

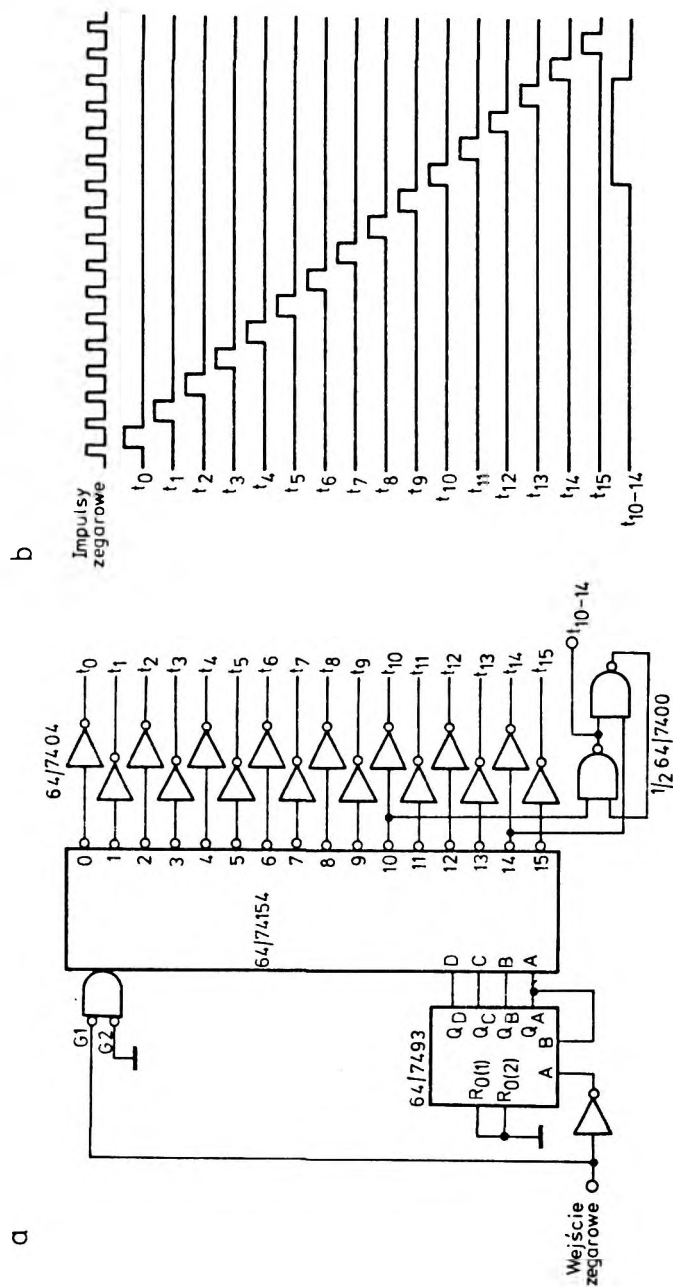


Rys. 3.66. Schemat sekwencyjnego systemu wyświetlania informacji ośmiocyfrowej

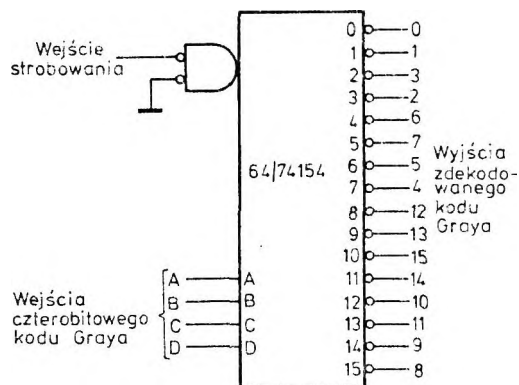
multipleksa. Dzięki zastosowaniu inwertera na wejściu zegarowym licznika 64/7493 dodatnie zbocze impulsu zegarowego zmienia wybrane wyjście demultipleksa, a ujemne zbocze tego impulsu rozpoczyna generowany impuls wyjściowy. W tej sytuacji na kolejnych wyjściach układu 64/74154 wystąpią impulsy do stanu niskiego o czasie trwania równym czasowi trwania odstępu między kolejnymi impulsami zegarowymi. Jeżeli jest wymagany impuls o większym czasie trwania, to można go uzyskać przez zastosowanie przerzutnika typu „zatrząsk”, sterowanego z odpowiednich wyjść demultipleksa. Działanie układu ilustrują przebiegi czasowe podane na rys. 3.67b.

Dekodowanie kodów innych niż naturalny kod dwójkowy

Układ 64/74154 można również stosować do dekodowania innych kodów dwójkowych niż naturalny kod dwójkowy. Na rysunku 3.68 przedstawiono sekwencje wyjść wybieranych stanami wejść adresowych określonych w czterobitowym kodzie Graya. Dekoder/demultipleks 64/74154 może również być użyty do dekodowania innych kodów dwójkowo-dziesiętnych na kod 1 z 10. W tabeli 3.1 podano sekwencje wybranych wyjść układu 64/74154 stanami wejść adresowych określonych w różnych kodach BCD.



Rys. 3.67. Generator przebiegów zegarowych
a — schemat ideowy, b — przebiegi czasowe



Rys. 3.68. Dekoder czterobitowego kodu Graya na kod 1 z 16

Tablica 3-1. Wyjścia układu 64/74154 wybrane stanami wejść adresowych w różnych kodach

Cyfra dziesiętna	Wybrane wyjście układu 64/74154					
	8421	5421	2421	Z nadmiarem 3	Graya z nadmiarem 3	Graya
0	0	0	0	3	2	0
1	1	1	1	4	6	1
2	2	2	2	5	7	3
3	3	3	3	6	5	2
4	4	4	4	7	4	6
5	5	8	11	8	12	7
6	6	9	12	9	13	5
7	7	10	13	10	15	4
8	8	11	14	11	14	12
9	9	12	15	12	10	13