

TDA884x/TDA885x - jednokładowy, telewizyjny procesor wizji i fonii (cz.1)

Bogdan Sikorski

1. Charakterystyka rodziny procesorów TDA884x/TDA885x

Rodzina jednokładowych procesorów wizji i fonii z serii TDA884x i TDA885x jest kolejnym etapem w ewolucji tego typu układów - wysokozintegrowanych, z małą ilością elementów otoczenia. Seria TDA88xx jest bezpośrednim następcą dobrze już znanej rodziny TDA837x, powiększono tu jednak zakres integracji o niektóre funkcje dotychczas występujące jako układy zewnętrzne (włączono dekodery SECAM oraz linię opóźniającą chrominancji), a także dołożono szereg dodatkowych funkcji usprawniających ich działanie. Na bazie nowej rodziny możliwa jest budowa zarówno odbiorników tanich (małoelementowych, jednostandardowych), jak i luksusowych, w pełni multistandardowych formatu 16:9.

Obecnie spotykane dość powszechnie w sprzęcie TV procesory TDA88xx nie należą już do nowinek technicznych, ich historia zaczęła się kilka lat temu. Po drodze - jak to zwykle bywa - dokonano już pewnych modyfikacji. Najważniejszą z nich to wyeliminowanie konieczności stosowania w obwodzie aplikacyjnym ostatniego elementu regulacyjnego - obwodu rezonansowego dla układu detektora wizji. Rodzina omawianych procesorów wyposażona już w tę cechę ma wyróżnik w oznaczeniu - N2. Dalsza część opisu dotyczyć będzie właśnie układów TDA884x-N2 oraz TDA885x-N2. Należy więc podkreślić, iż omawiane jednokładowe procesory wizji i fonii nie wymagają stosowania żadnych elementów regulacyjnych w swym obwodzie aplikacyjnym. Wszystkie regulacje, zarówno te dostępne dla użytkownika, jak i te dostępne tylko dla serwisu są dokonywane za pomocą magistrali sterującej I²C (adres układu: 8A_{hex}). Układ wyposażony jest w szereg rejestrów dostępnych dla systemu mikrokontrolera, których pełny opis wykraczałby z pewnością poza zakres tego artykułu. Niemniej jednak, w celu łatwiejszego zrozumienia zasady działania omawianych bloków funkcjonalnych, w opisie znajdziemy odnośniki do niektórych rejestrów (lub wybranych bitów w tych rejestrach). Wydaje się również, że wiedza o tych rejestrach może przyczynić się do ułatwienia obsługi trybów serwisowych odbiorników wyposażonych w omawiane procesory (jak wiadomo, tryb serwisowy odbiornika jest dokładnym odwier-

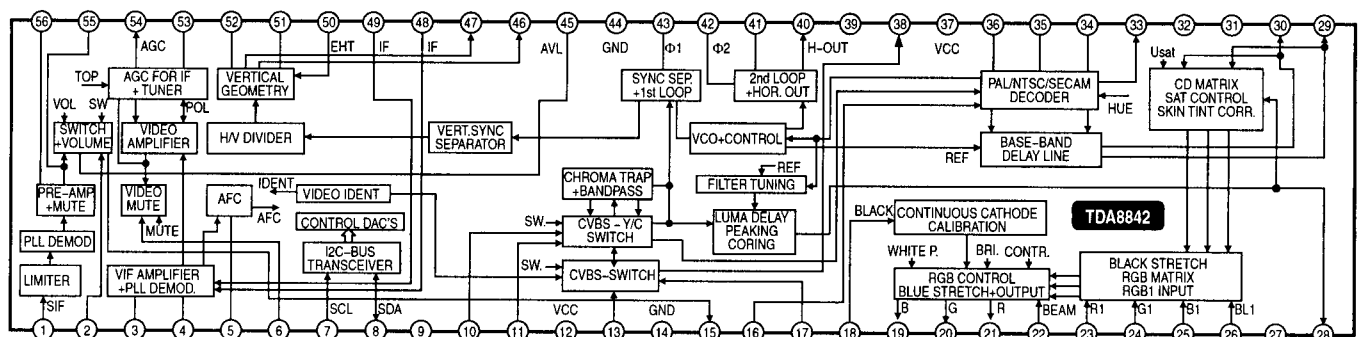
Tabela 1

Układ / Funkcja	PAL	SECAM	NTSC	Korekcja E-W	Układ AVL	Sygnały YUV In/out	Drugie wejście RGB2IN	Drugie wyjście CVBS2OUT	Funkcja zoom/scroll dla 16:9	Obudowa
TDA8840	+	-	-	-	-	-	-	-	-	SDIP-56
TDA8841	+	-	+	-	+	-	-	-	-	
TDA8842	+	+	+	-	+	-	-	-	-	
TDA8843	+	-	+	+	-	+	-	-	+	
TDA8844	+	+	+	+	-	+	-	-	+	
TDA8846	-	-	+	-	+	-	-	-	-	
TDA8846A	-	-	+	-	+	+	-	-	-	QFP-64
TDA8854H	+	+	+	+	-	+	+	+	+	
TDA8857H	-	-	+	+	-	+	+	+	+	

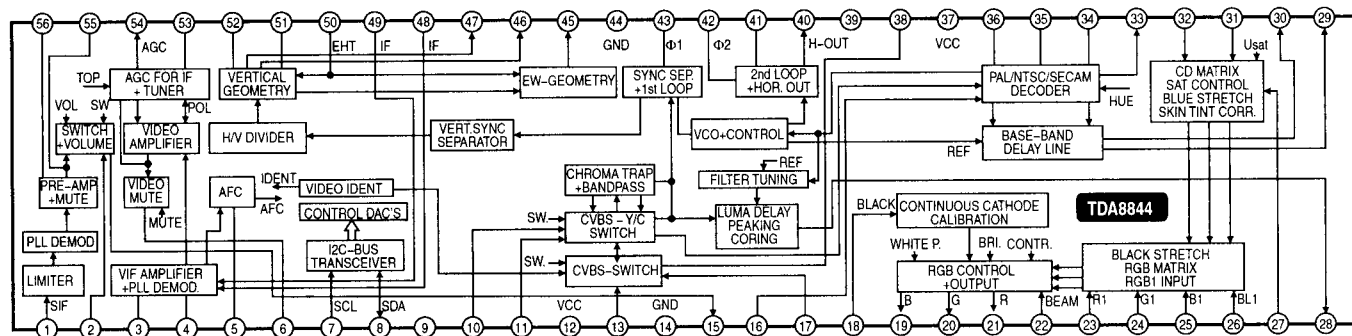
ciedleniem możliwości układów w nim zastosowanych).

Poprzednikiem wersji układów N2 była wersja N1. Najistotniejszą różnicą jest - już wspomniane - wyeliminowanie obwodu rezonansowego z układu synchronicznego dekodera wizji. Jako mniejsze różnice należy wymienić: rozszerzenie poziomu do 2V_{rms} dla wejściowego, zewnętrznego sygnału audio, wprowadzenie dodatkowych rejestrów poprawiających pracę układu oraz ułatwiających jego kontrolę i adaptację do układu aplikacyjnego. Niestety, z punktu widzenia serwisowego układy te są praktycznie niezamienialne. Oczywiście można sobie wyobrazić sytuację, iż programista pisząc program obsługi na mikrokontroler dla odbiorników z rodziną TDA88xx uwzględnił obsługę zarówno układów w wersji N1 jak i N2. W takich przypadkach naturalnie będzie je można stosować zamiennie. Natomiast czy tak się stało, czy też nie - wie sam programista, my jedynie możemy sprawdzić to doświadczalnie. Ponieważ zachowana jest kompatybilność *pin-to-pin* układu nic nie grozi.

W tabeli 1 pokazano wykaz całej rodziny z wyszczególnieniem najistotniejszych różnic występującymi pomiędzy jej członkami. Warto zauważyć, że niektóre funkcje przypisane są tylko dla układów w obudowach QFP-64 (drugie wejście dla sygnałów RGB oraz drugie wyjście sygnału CVBS).



Rys.1. Schemat blokowy układu TDA8842.



Rys.2. Schemat blokowy układu TDA8844.

2. Opis wyprowadzeń oraz schemat blokowy

Schemat blokowy układu TDA8842 - przedstawiciela rodziny przeznaczonego do stosowania w aplikacjach „ubogich” pokazano na rysunku 1. Układy TDA884x produkowane są w obudowie SDIP-56. Rysunek 2 pokazuje schemat blokowy układu TDA8844 przeznaczonego do stosowania w aplikacjach multistandardowych. Układy TDA8854H i TDA8857H dostępne są w obudowach QFP-64.

Przyjęto konwencję opisu układu poprzez opis funkcji poszczególnych jego wyprowadzeń i związanych z tymi wyprowadzeniami bloków funkcjonalnych. Numeracja nóżek odnosi się do obudowy SDIP-56, odpowiednia nóżka dla obudowy QFP-64 podana jest w nawiasie.

n.1 (n.10): Sound IF Input - wejście pośredniej częstotliwości fonii. Małosygnałowa równoważna impedancja wejściowa to równoległe połączenie rezystancji 8k Ω z pojemnością 5pF. Wartości tych parametrów należy brać pod uwagę przy ewentualnym doborze filtrów ceramicznych w obwodach wejściowych. Należy również pamiętać, aby w aplikacjach multistandardowych, przy wyborze określonego standardu, załączony był tylko jeden filtr pasmowy.

n.2 (n.11): External audio input - wejście zewnętrznego sygnału audio. Zewnętrzny sygnał fonii (np. z gniazda SCART) musi być podłączony poprzez kondensator sprzęgający. Nominalna wartość sygnału wejściowego wynosi 500mV_{rms}, natomiast wartość maksymalna to około 2V_{rms}. Impedancja wejściowa - 25k Ω (charakter rezystancyjny). Wartość pojemności sprzęgającej zależy od przyjętego dla danego sprzętu pasma przenoszenia, a właściwie od dolnej jego granicy: im niższa dolna częstotliwość graniczna tym większa wartość pojemności (np. dla granicy 10Hz pojemność C=0.6 μ F).

n.3, 4 (n.12, 13, 14): nie podłączone.

n.5 (n.15): PLL Loop Filter - filtr pętli fazowej demodulatora wideo. Standardowe wartości podłączonych szeregowo do masy elementów wynoszą: R=390 Ω , C=100nF. Odpowiada to szerokości pasma filtru około 60kHz, wartość ta jest optymalna zarówno dla odbioru wizji, jak i fonii. Stała czasowa filtru pętli fazowej demodulatora wideo może być zmieniana programowo - bit FFI (rejestr 1A_{hex}, bit 1) na tzw. szybkość stałą czasową. Dokonuje się tego w sytuacjach odbioru sygnałów z niestandardowych nadajników. W celu osłabienia efektu intermodulacji od sygnału chrominancji w niektórych aplikacjach stosuje się dodatkową pojemność (około 1nF) pomiędzy n.5 a masą.

n.6 (n.16): Video output - wyjście kompletnego sygnału wideo. Typowa wartość amplitudy wyjściowego sygnału wi-

deo wynosi 2.2V_{pp} (podnośna fonii: 200mV_{pp}). W celu zmniejszenia wpływu wysokoczęstotliwościowych składników w sygnale wyjściowym stosowany jest wtórnik emiterowy z rezystorem 1k Ω w obwodzie bazy (wartość rezystora emiterowego zależy od ilości zastosowanych pułapek fonicznych). Również w tym celu, w niektórych aplikacjach, pomiędzy n.6 a masę stosowany jest dodatkowy rezystor o wartości 2k Ω .

n.7 (n.17): Bus-Input: SCL - wejście sygnału zegarowego SCL magistrali sterującej I²C.

n.8 (n.18): Bus-Input: SDA - wejście/wyjście sygnału danych SDA magistrali sterującej I²C.

n.9 (n.19): Bandgap decoupling - obwód odsprężenia napięcia referencyjnego. Typowa wartość pojemności podłączonej do n.9 wynosi 2.2 μ F. Stabilne i temperaturowo skompensowane napięcie referencyjne (6.7V) zasilają praktycznie wszystkie obwody funkcjonalne układu TDA88xx. Dla poprawnej kalibracji oscylatora odchylania poziomego ważnym jest również, aby napięcie to osiągnęło stabilną wartość, gdy napięcie zasilania na wyprowadzeniu 37 przekroczy wartość 5.8V.

n.10 (n.20): Chroma input - wejście sygnału chrominancji. Nominalna wartość wejściowego sygnału chrominancji powinna wynosić 300mV_{pp}. Wejście to wyposażone jest w układ klampujący: poziom DC równa się 4V, rezystancja wejściowa 50k Ω . Sygnał wejściowy podawany jest przez kondensator sprzęgający (rzędu 1nF), który łącznie z rezystancją wejściową tworzą filtr górnoprzepustowy z dolną częstotliwością odcięcia wynoszącą około 3kHz.

n.11 (n.21): CVBS/Y input - wejście całkowitego sygnału wideo lub sygnału luminancji. Nominalna wartość amplitudy sygnału wejściowego powinna wynosić 1V_{pp}. Wejście to wyposażone jest w układ klampowania. Dla zapewnienia poprawnej pracy tego układu oraz uniknięcia zniekształceń sygnałów wejściowych minimalna wartość kondensatora sprzęgającego powinna wynosić 47nF.

n.12 (n.22, 23): Main Positive Supply - napięcie zasilania. Układy TDA88xx posiadają dwa wejścia napięć zasilania: n.12 oraz n.37. Obydwa wejścia muszą być zasilane jednocześnie. Napięcie z wejścia 12 zasilają następujące wewnętrzne bloki układu:

- bloki synchronizacji H/V,
- blok sygnałowy IF,
- aktywne filtry,
- tor fonii,
- przełączniki sygnałów.

Napięcie z wyprowadzenia 37 zasilają:

- układy chrominancji,
- sterowanie torem RGB,

- układy kontroli geometrii,
- oscylator i sterownik sygnału linii,
- układy obróbki cyfrowej.

Nominalna wartość napięcia zasilania wynosi 8V (dopuszczalny zakres napięć: 7.2÷8.8V). Pobór prądu dla każdego z wyprowadzeń wynosi 60mA. W stanie *standby* układ może pozostawać bez zasilania.

Obydwa wejścia napięć zasilania wyposażone są w detektory poziomu napięcia. Jest to ważne podczas startu oraz podczas wyłączania napięcia. Jeśli napięcie zasilania przekroczy poziom 6.8V, wówczas - po odbyciu procesu inicjalizacji i kalibracji - stopień sterowania linii zaczyna generować sygnał wyjściowy H (n.40) z podwójną częstotliwością linii (faza tzw. miękkiego startu), natomiast w momentach spadku napięcia poniżej 6.8V, układ detektora poziomu powoduje natychmiastowe wyłączenie sygnału H oraz zablokowanie wyjść RGB. Stan taki jest sygnalizowany na szynie I²C za pomocą bitu POR - *Power On Reset* (rejestr do odczytu: 00hex, bit 7).

n.13 (n.24): Internal CVBS input - wejście kompletnego sygnału wideo z toru wewnętrznego odbiornika. Nominalna wartość amplitudy sygnału wejściowego powinna wynosić 1V_{pp}. Wejście to, podobnie jak wejście 11, wyposażone jest w układ klampowania. Dla zapewnienia poprawnej pracy tego układu oraz uniknięcia zniekształceń sygnałów wejściowych minimalna wartość kondensatora sprzęgającego powinna wynosić 47nF.

Wejście to może być także wykorzystywane jako wejście zewnętrznego sygnału wideo. W takich przypadkach wewnętrzny sygnał IF wideo powinien być wyłączony - bit VSW = 1 (rejestr: 13_{hex}, bit 6), oznacza to również, że wyprowadzenia 6 i 54 przyjmą potencjał masy.

n.14 (n.25): Ground - masa. Wyprowadzenie to stanowi główne podłączenie masy układu (wszystkie wewnętrzne bloki funkcjonalne za wyjątkiem *H-out* są podłączone do tej masy). Należy pamiętać, aby pod żadnym pozorem nie rozcinać połączenia nóżki 14 i n.44 (powinny być połączone jak najkrótszą drogą).

n.15 (n.27): Sound output - wyjście sygnału fonii. Wyjście regulowanego sygnału fonii, aktywne zarówno dla wewnętrznego, jak i zewnętrznego sygnału audio. Zakres regulacji poziomu fonii wynosi 80dB, co odpowiada poziomom sygnałów od 0.14 do 1400mV_{rms}. Impedancja wyjściowa wynosi około 250R, poziom DC: 3.3V, pasmo - powyżej 100kHz.

Na n.15 może być również podawany nieregulowany sygnał fonii z wyjścia deemfazy. Za taką konfigurację toru fonii odpowiedzialny jest bit FAV (rejestr: 14_{hex}, bit 6). Rozwiązanie to jest stosowane głównie w odbiornikach stereofonicznych, gdzie regulacja poziomu fonii dokonywana jest w zewnętrznych, specjalizowanych układach obróbki fonii.

n.16 (n.28): Secam decoupling - odsprężenie napięcia referencyjnego dla dekodera SECAM. Układy TDA8842/44 oraz TDA8854H zawierają w swych strukturach zintegrowany dekoderek SECAM wykorzystujący wewnętrzną pętlę PLL. Dekodowanie sygnałów SECAM jest możliwe, jeśli do wyprowadzenia 35 podłączony jest rezonator 4.43MHz (X-tal).

n.17 (n.29): External CVBS input - wejście kompletnego sygnału wideo z układów zewnętrznych. Nominalna wartość amplitudy sygnału wejściowego powinna wynosić 1V_{pp}. Wejście to, podobnie jak wejścia 11 i 13 również wyposażone jest w układ klampowania. Dla zapewnienia poprawnej pracy tego

układu oraz uniknięcia zniekształceń sygnałów wejściowych minimalna wartość kondensatora sprzęgającego powinna wynosić 47nF.

n.18 (n.30): Black current input - wejście stabilizacji poziomu czerni oraz poziomu sterowania katod w wyjściowych sygnałach RGB. Procesor TDA88xx wyposażony jest w układ tzw. ciągłej kalibracji katod. Jest to pętla sprzężenia zwrotnego obejmująca również zewnętrzny wzmacniacz wizyjny. Stabilizacji podlegają dwa punkty na charakterystyce sterowania katod: poziom czerni oraz poziom wysterowania katod. W ten sposób zarówno statyczny, jak i dynamiczny balans bieli nie ulega zmianie w wyniku zmian temperatury otoczenia czy starzenia się katod kineskopu.

Zaleca się, aby w szereg z wejściem *Black current input* włączony był rezystor 1÷18k. Razem z pojemnością wejściową stanowi on filtr dolnoprzepustowy poprawiający stabilność pracy pętli. Maksymalną pojemność jaką można dołączyć zewnętrznie do wyprowadzenia 18 wynosi 1.8nF.

Układy TDA88xx przewidziane są do stosowania w odbiornikach z kineskopami o różnych parametrach sterowania katod. Aby dostosować system stabilizacji balansu bieli do kineskopów o różnych (znacznie różniących się) poziomach sterowań katod, przewidziano parametr *Cathode drive level* podlegający regulacji za pomocą szyny I²C (rejestr: 19_{hex}, bity: 2, 1, 0). Zależność ustawień trzech bitów tego parametru: CL2, CL1 oraz CL0 od poziomu wysterowania katod przedstawiono w tabeli 2.

Tabela 2

bit			Poziom wysterowania katod				Poziom wysterowania katod
CL2	CL1	CL0		CL2	CL1	CL0	
0	0	0	57V	1	0	0	84V
0	0	1	63V	1	0	1	91V
0	1	0	70V	1	1	0	99V
0	1	1	77V	1	1	1	107V

n.19, 20, 21 (n.31, 32, 33): RGB outputs - wyjścia sygnałów podstawowych kolorów, odpowiednio: B, G, R. Dla nominalnych sygnałów wejściowych (CVBS, S-VHS, PIP oraz RGB_{in}) oraz dla nominalnych ustawień parametrów obrazu, amplituda biel-czerń sygnałów wyjściowych wynosi 2V (wartość typowa). Poziom DC na wyjściach RGB zależy od napięcia siatki drugiej kineskopu i może zmieniać się w granicach 1.5÷3.5V. Kontrast (amplituda), jasność (składowa stała) oraz punkt bieli (dla każdego kanału oddzielnie) regulowane są za pomocą szyny I²C. Zakres regulacji każdego parametru wynosi: 00÷63 (64 kroki). Wymienionym regulacjom nie podlega zobrazowanie znaków OSD (V₂₆>4V). Sygnały wyjściowe RGB w układzie procesora, poddawane są obróbkom „uszlachetniającym”, między innymi: *black stretch* - uwydatnianie poziomów szarości oraz *blue stretch* - uwydatnianie koloru niebieskiego. Obydwa procesy uaktywniane są rozkazami z szyny sterującej. Za załączenie funkcji *black stretch* odpowiedzialny jest bit BKS (rejestr 18_{hex}, bit 3). Funkcja *blue stretch* uaktywniana jest bitami BLS i EBS (odpowiednio: rejestr 18_{hex}, bit 4 i rejestr: 1A_{hex}, bit 0). Proces *blue stretch*, którego celem jest optyczne uwydatnienie poziomu bieli, polega na redukcji o 7% sygnałów R i G (*standard blue stretch* - bit BLS) lub o 8% dla sygnału G i 22% dla sygnału R (*extended*

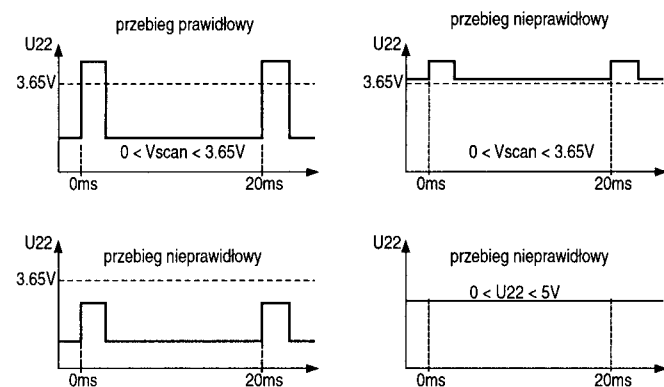
blue stretch - bit EBS) wówczas, gdy wejściowy sygnał wideo przekroczy 80% swej nominalnej wartości. Należy jednak pamiętać, aby w czasie regulacji w torze wideo, a zwłaszcza regulacji punktów bieli obydwie funkcje *black stretch* oraz *blue stretch* były wyłączone.

Tor wyjściowy sygnałów RGB wyposażony jest także w funkcję dynamicznej korekcji koloru skóry (kolor ludzkiego ciała) - nie dotyczy to układów TDA8840/41/42. Za załączenie *Dynamic skin tone correction* odpowiedzialne są dwa bity: bit DS (rejestr 1A_{hex}, bit 3) załącza lub wyłącza korekcję oraz bit DSA (rejestr 1A_{hex}, bit 2) decydujący o kierunku korekcji (skóra bardziej czerwona lub bardziej żółta).

Dodatkowo sygnały wyjściowe RGB mogą być automatycznie wyłączone w przypadkach, gdy na wejściach odbiornika brak jest sygnałów użytecznych. W takich sytuacjach na ekranie może być wyświetlane jedynie niebieskie tło. Funkcja ta jest również załączana rozkazem po szynie I²C (bit BB - rejestr 18_{hex}, bit 0).

n.22 (n.34): Vertical guard / Beam current limiter input - wejście ochronne na wypadek zaniku odchyłania pionowego oraz wejście ogranicznika prądu kineskopu. Większość stosowanych obecnie układów odchyłania pionowego (np. TDA835x) posiada tzw. wyjście ochronne, którego zadanie polega na generowaniu impulsów o określonych parametrach podczas powrotu ramki. Impulsy te są monitorowane przez specjalny układ (w tym przypadku wejście *Vertical guard*), który służy do oceny poprawności pracy układu odchyłania pionowego. Cała ta procedura ma zapobiegać pracy odbiornika TV bez sprawnej ramki, co mogłoby doprowadzić do uszkodzenia kineskopu. W przypadku współpracy układu TDA835x z procesorem wizji TDA88xx, za poprawną uważa się sytuację, gdy impulsy wejściowe przekraczają poziom 3.65V. Przy czym poziom DC w czasie wybierania pola nie jest krytyczny, ale powinien zawsze pozostawać poniżej granicy detekcji (tj. 3.65V). Wszystkie inne poziomy napięć na wejściu 22 (patrz: rys.3), są traktowane jako przypadki uszkodzeń w układzie odchyłania ramki i będą powodowały blokadę wyjść RGB procesora wizji.

Układ *Vertical guard* procesora TDA88xx jest kontrolowany (i może być wyłączany) poprzez magistralę I²C. Za stan aktywności wejścia ochrony odpowiedzialny jest bit EVG (rejestr 0A_{hex}, bit 6). Podczas włączenia odbiornika i wygrzewania się kineskopu wejście 22 jest wewnętrznie przyłączone do masy.



Rys.3. Możliwe poziomy napięć na wejściu *Vertical guard*.

Funkcja ogranicznika prądu kineskopu (*Beam current limiter*) jest realizowana poprzez ograniczanie najpierw kontrastu, a następnie jasności wyjściowych sygnałów RGB w sytuacjach, gdy prąd kineskopu przekroczy dopuszczalną wartość. W odbiornikach z wykorzystaniem układu TDA88xx może być realizowany ogranicznik prądu szczytowego (reagujący na chwilowe przerosty prądu katod) oraz ogranicznik prądu średniego - reagujący na średnią wartość prądu katod (pomiar prądu średniego realizowany jest zwykle poza układem procesora wizji). Ogranicznik szczytowy uaktywnia się, gdy amplituda sygnałów wyjściowych RGB przekroczy poziom 2.6V (biel-czerń). Normalnie, gdy żaden z ograniczników nie jest aktywny, na wyprowadzeniu 22 występuje napięcie 3.3V. Wszelkie przerosty prądu (średniego lub szczytowego) powodują obniżanie się tego napięcia. Redukcja kontrastu rozpoczyna się, gdy napięcie na n.22 obniży się do 3V, natomiast ograniczanie jasności występuje dopiero poniżej granicy 2V. Wejście 22 może być również wykorzystywane do realizacji tzw. efektu półtonowej jasności (zabieg stosowany np. w czasie zobrazowania znaków OSD).

n.23, 24, 25 (n.35, 36, 37): R1_{IN}, G1_{IN}, B1_{IN} inputs - wejście zewnętrznych sygnałów RGB. Wejścia 23, 24, 25 umożliwiają podłączenie zewnętrznych sygnałów RGB, np. sygnałów TXT, PIP, OSD. Nominalna amplituda sygnałów wejściowych nie powinna przekraczać 0.7V. Pomiędzy wejściem sygnałów a wyprowadzeniami 23, 24, 25 układu procesora wideo wymagane jest sprzężenie pojemnościowe, a wartość kondensatorów sprzęgających nie powinna być mniejsza niż 10nF.

Układy TDA8854H i TDA8857H wyposażone są w dwa wejścia sygnałów RGB. Wejścia R2_{IN}, G2_{IN}, B2_{IN} to odpowiednio nóżki: 41, 42 i 43. Uwagi dotyczące RGB1_{IN} odnoszą się również do RGB2_{IN}. Fragment schematu blokowego z zewnętrznymi wejściami sygnałów RGB pokazuje rysunek 4.

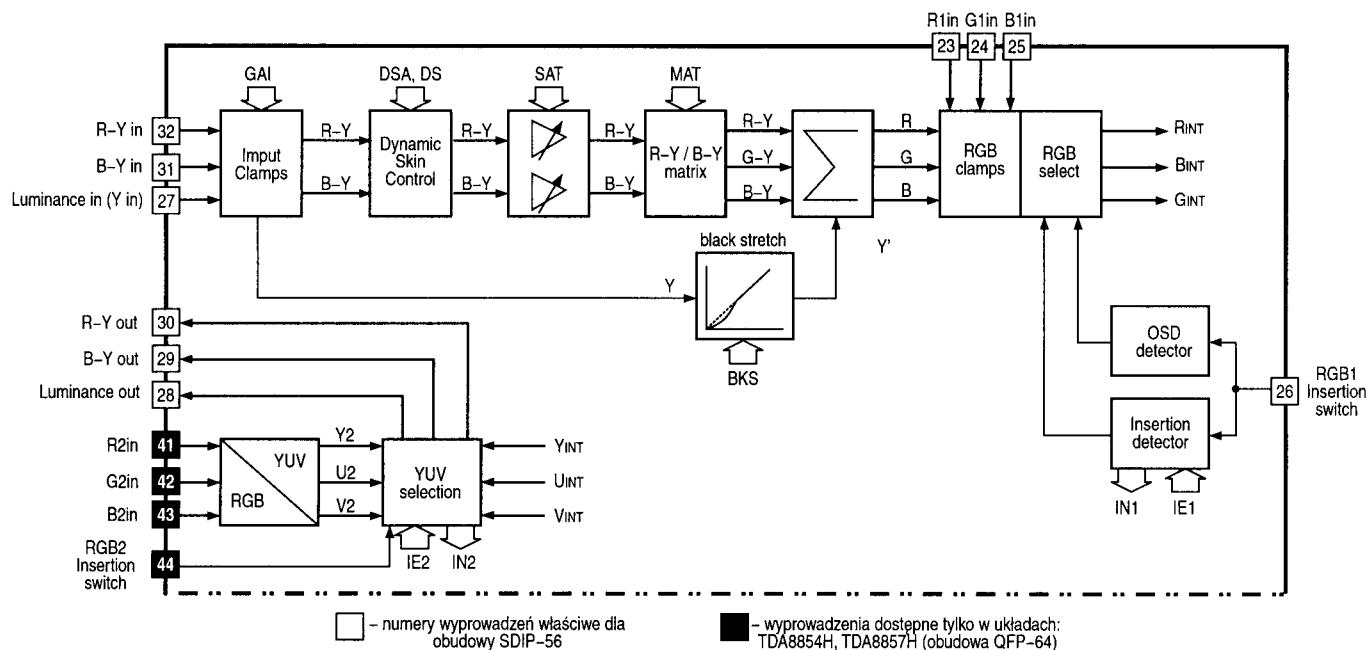
n.26 (n.38): RGB1 insertion switch - trójpoziomowe wejście umożliwiające zobrazowanie zewnętrznych sygnałów RGB1_{IN}. Wybór sygnałów RGB podawanych do stopni wyjściowych *RGB outputs* zależy od poziomu napięcia na wejściu 26 oraz od wartości bitu IE1 (rejestr 11_{hex}, bit 7). Ilustruje to tabela 3.

W aplikacjach, gdzie nie są wykorzystywane wejścia RGB_{IN}, ani nie stosuje się wyświetlania znaków OSD wejście 26 powinno być podłączone do masy.

Dla układów TDA8854H oraz TDA8857H wyposażonych w drugie wejście sygnałów RGB2_{IN} funkcję przełącznika pełni wyprowadzenie 44 (*RGB2 insertion switch*). W tym przypadku jest to wejście dwupoziomowe (napięcie powyżej 4V nie blokuje wyjść sygnałów RGB), rolę bitu zezwolenia pełni IE2 (rejestr 11_{hex}, bit 6).

Tabela 3

Napięcie U ₂₆	Bit IE1	Wybrane sygnały RGB
<0.4V	IE1=0/1	RGB wewnętrzne
0.9V + 3V	IE1=0	RGB wewnętrzne
0.9V + 3V	IE1=1	R1 _{IN} , G1 _{IN} , B1 _{IN} (aktywne wejścia 23, 24, 25)
>4V	IE1=0/1	Blokada wyjść <i>RGB outputs</i> , możliwość zobrazowania sygnałów OSD lub TXT podawanych bezpośrednio na wejścia końcowych wzmacniaczy RGB



Rys.4. Wejścia zewnętrznych sygnałów RGB.

n.27 (n.39): Luminance input - wejście sygnału luminancji. Bezpośrednie wejście własnego sygnału luminancji lub wejście sygnału Y po obróbce w zewnętrznym układzie np. TDA917x (poziom biel-czerń sygnału wejściowego 1V). Z uwagi na wewnętrzny, sprzężony zmiennoprądowo układ klampowania sygnał luminancji musi być podawany stałoprądowo (bez kondensatora sprzęgającego). W przypadku korzystania z zewnętrznych układów obróbki YUV należy zadbać również o to, aby sygnał wejściowy na n.27 nie przekraczał poziomu 5.5V (suma składowej stałej i amplitudy sygnału zmiennego).

W celu adaptacji wejścia do możliwości stosowania nieco starszych układów „poprawiaczy” sygnałów, jak np. TDA4565, gdzie poziom biel-czerń sygnału wyjściowego wynosi 0.45V, sygnał wejściowy Y_{IN} może być wewnętrznie wzmacniany o 6dB (bit GAI - rejestr 03_{hex}, bit 6).

Wejścia *Luminance input* i co się z nim wiąże możliwości zmiany wzmocnienia w torze Y, nie posiadają następujące układy: TDA8840, TDA8841, TDA8842.

n.28 (n.40): Luminance output - wyjście sygnału luminancji. Typowy poziom sygnału wyjściowego: 1V (biel-czerń), impedancja wyjściowa: 250R.

n.29, 30 (n.45, 46): (B-Y) output, (R-Y) output - wyjścia

sygnałów różnicowych koloru. Typowe poziomy sygnałów wyjściowych: 1.33V_{pp} dla (B-Y) oraz 1.05V_{pp} dla (R-Y), impedancja wyjściowa dla obu wyjść: 500R.

Sygnały różnicowe koloru dla wszystkich trzech obsługiwanych standardów: PAL, SECAM oraz NTSC uzyskiwane są w wyniku demodulacji podstawowego sygnału chrominancji w zintegrowanym dyskryminatorze koincydencyjnym działającym w oparciu o pętlę PLL. Obciążeniem dekodera jest linia opóźniająca chrominancji (wyłączana dla standardu NTSC). Zewnętrznymi elementami układu dekodera są jedynie rezonatory kwarcowe (jeden lub dwa) oraz filtr pętli fazowej.

Dekoder koloru może pracować w trybie automatycznego rozpoznawania standardów sygnałów wejściowych lub też w trybie wymuszenia. Zarządzanie pracą dekodera odbywa się za pomocą magistrali sterującej - w tym przypadku odpowiedzialnymi są trzy bity sterujące: CM2, CM1, CM0 (rejestr: 10_{hex}, bity: 2, 1, 0). Zależności pomiędzy ustawieniami bitów sterujących a trybem pracy dekodera przedstawiono w tabeli 4.

n.31, 32 (n.47, 48): (B-Y) input, (R-Y) input - wejście sygnałów różnicowych koloru. Bezpośrednie wejście własnych sygnałów różnicowych koloru lub wejście sygnałów U i V po obróbce w zewnętrznym układzie, np. TDA917x. Poziomy wejściowe odpowiednio: 1.33V_{pp} i 1.05V_{pp}. Sygnały różnicowe, podobnie jak sygnał Y (wejście 27) muszą być podawane bezpośrednio (stałoprądowo). Związane jest to z wewnętrznym, zmiennoprądowym sprzężeniem układów klampowania. W przypadku korzystania z zewnętrznych układów obróbki YUV należy także zadbać, by sygnały wejściowe nie przekraczały poziomu 5.5V (suma składowej stałej i amplitudy sygnału zmiennego).

n.33 (n.49): Subcarrier reference output (Fsc) - wyjście sygnału podnośnej koloru. Sygnał wykorzystywany w aplikacjach z filtrem grzebieniowym. W chwili uaktywnienia wyjścia podnośnej (bit CMB=1 - rejestr 19_{hex}, bit 4), zmianie ulega również poziom składowej stałej z 0.1V na 4.2V.

Tabela 4				Tryb pracy dekodera	Standard	Nóżka dla rezonatora
CM2	CM1	CM0	bit			
0	0	0		Automatyczny	PAL/SECAM/NTSC	34 i 35
0	0	1		Wymuszony	PAL/NTSC	34
0	1	0		Wymuszony	PAL	34
0	1	1		Wymuszony	NTSC	34
1	0	0		Wymuszony	PAL/NTSC	35
1	0	1		Wymuszony	PAL	35
1	1	0		Wymuszony	NTSC	35
1	1	1		Wymuszony	SECAM	35

□ Ciąg dalszy nastąpi

TDA884x/TDA885x - jednoukładowy, telewizyjny procesor wizji i fonii (cz.2-ost.)

Bogdan Sikorowski

W dalszym ciągu opisu wyprowadzeń układów TDA884x/TDA885x zachowano konwencję z pierwszej części artykułu dotyczącą numeracji wyprowadzeń, polegającą na tym, że numeracja nóżek odnosi się do obudowy SDIP-56, a odpowiednia nóżka dla obudowy QFP-64 podana jest w nawiasie.

n.34, 35 (n.50, 51): *Xtal (3.58MHz), Xtal (4.43/3.58MHz)* - wyprowadzenia do podłączenia rezonatorów kwarcowych. Procesor wideo TDA88xx dopuszcza stosowanie jednego lub dwóch rezonatorów kwarcowych. W przypadku stosowania tylko jednego, drugie wejście powinno pozostawać nie podłączone (*open*). Do n.34 może być podłączony tylko rezonator z rodziny 3.6MHz, natomiast do n.35 - zarówno 3.6MHz, jak i 4.43MHz. Uwagi te są istotne nie tylko dla poprawnej pracy

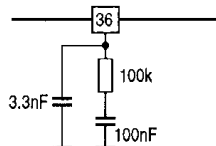
układów dekodерów koloru, ale przede wszystkim dla generatora sygnału sterującego stopniem wyjściowym linii (H). Z uwagi na jego kalibrację, system sterowania musi jednoznacznie zidentyfikować podłączony rezonator (lub rezonatory). Konfiguracja układu i wartość bitów sterujących XA oraz XB (rejestr 00_{hex}, bity: 1, 0) powinna wyglądać tak, jak pokazano w tabeli 5.

Tabela 5

bit XA	bit XB	n.34	n.35	bit XA	bit XB	n.34	n.35
0	0	3.6MHz	3.6MHz	1	0	<i>open</i>	4.4MHz
0	1	3.6MHz	<i>open</i>	1	1	3.6MHz	4.4MHz

Podczas startu odbiornika system sterowania odczytując wartości dwóch bitów statusu: SXA oraz SXB (rejestr do odczytu 01_{hex}, bit 1, 0) ustawianych wewnątrz układu TDA88xx zależnie od fizycznie podłączonych rezonatorów, potwierdza (lub nie) zgodność z ustawieniami bitów XA i XB. Dopiero w przypadku stwierdzenia poprawności podłączenia kwarców rozpoczyna się procedura kalibracji generatora H.

n.36 (n.52): Loop filter burst phase detector - filtr pętli PLL detektora fazy sygnału *burst*. Z uwagi na pewność działania dekodera kolorów wartość elementów filtru pętli fazowej podłączonych do wyprowadzenia 36 jest dość krytyczna. Producent zaleca stosowanie konfiguracji pokazanej na rysunku 5.



Rys.5. Filtr pętli PLL detektora fazy sygnału *burst*.

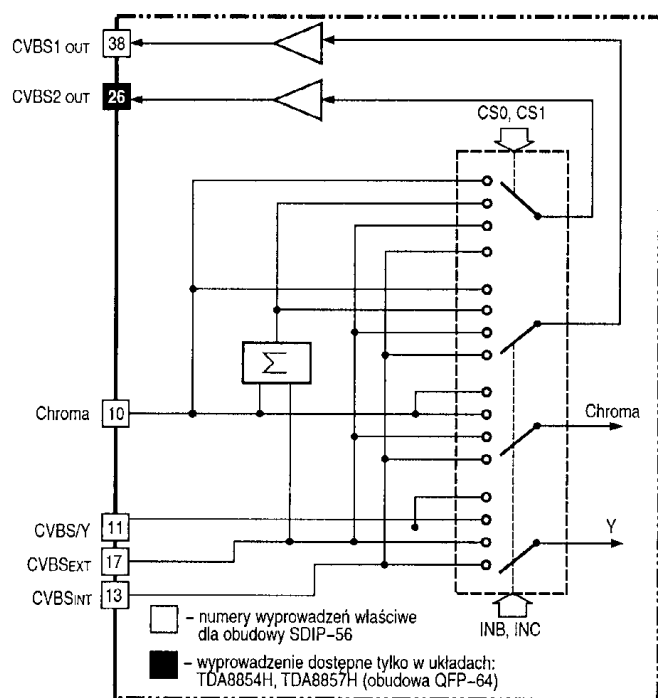
n.37 (n.53): Supply - napięcie zasilania. Dodatkowo napięcie zasilania +8V - uwagi: patrz n.12.

n.38 (n.54): CVBS1 output - wyjście kompletnego sygnału wideo. Amplituda sygnału wyjściowego: 2V_{pp}, impedancja wyjściowa: <250R. Wyprowadzenie 38 stanowi wyjście wewnętrznych kluczy przełączających dla sygnałów wejściowych:

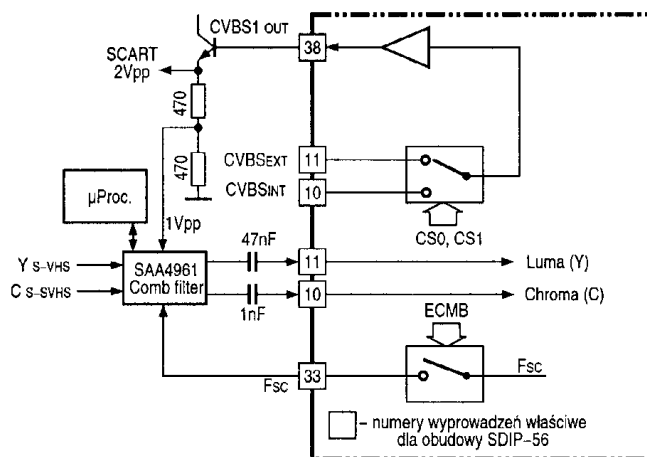
- CVBS_{INT}, n.13,
- CVBS_{EXT}, n.17,
- CVBS/Y, n.11 oraz chroma, n.10.

Wyjście sygnału CVBS na n.38 może być wykorzystywane dla potrzeb obwodów teletekstu, filtru grzebiennego lub jako wyjście sygnału wideo na gniazda zewnętrzne. Sygnały odpowiadające CVBS1 output, z innych wyjść klucza przełączającego, są kierowane do dalszej obróbki wewnątrz procesora.

Fragment schematu blokowego przedstawiający zasadę działania selektora sygnału wejściowego pokazano na rysunku 6a i 6b.



Rys.6a. Sposób przełączania sygnałów wejściowych - aplikacja bez filtru grzebiennego.



Rys.6b. Sposób przełączania sygnałów wejściowych - aplikacja z filtrem grzebiennym.

O wyborze sygnału wejściowego decydują bity sterujące magistrali I²C: INA, INB, INC (rejestr 00_{hex}, bity: 7, 6, 5). W aplikacjach bez filtru grzebiennego bit INA jest zawsze równy „0”. Sposób przełączania kluczy z wykorzystaniem bitów INB i INC przedstawia tabela 6.

W aplikacjach wykorzystujących filtr grzebienny układ kluczy przełączających ulega modyfikacji (rys. 6b), natomiast bit INA = 1. Algorytm przełączania kluczami jest wówczas taki, jak pokazano w tabeli 7. Należy pamiętać przy tym, iż filtr grzebienny uaktywniany jest tylko w czasie odbioru sygnałów w systemie PAL lub NTSC.

Tabela 6

bit INB	bit INC	Sygnały wejściowe wideo	Sygnały wejściowe audio	Sygnały wyjściowe, n.38
0	0	CVBS _{INT} (n.13)	wewn.	CVBS _{INT} (n.13)
0	1	CVBS _{1EXT} (n.17)	zewn. (n.2)	CVBS _{1EXT} (n.17)
1	0	Y _{S-VHS} / C _{S-VHS} (n.11, n.10)	zewn. (n.2)	Y _{S-VHS} + C _{S-VHS} (n.11, n.10)
1	1	CVBS _{2EXT} (n.11)	zewn. (n.2)	CVBS _{2EXT} (n.11)

Tabela 7

bit INB	bit INC	Sygnały wejściowe wideo	Sygnały wejściowe audio	Sygnały wyjściowe, n.38
0	0	Y _{S-VHS} / C _{S-VHS} (n.11, n.10)	wewn.	CVBS _{INT} (n.13)
0	1	Y _{S-VHS} / C _{S-VHS} (n.11, n.10)	zewn. (n.2)	CVBS _{1EXT} (n.17)

Układy TDA8854/57 (obudowa QFP-64) dodatkowo wyposażone są w wyjście CVBS2 output (n.26). Parametry tego wyjścia są podobne jak wyjścia CVBS1 output z tym, że amplituda sygnału wyjściowego wynosi 1V_{pp}. Wyprowadzenie 26 przeznaczone jest do sterowania układów PIP, teletekstu lub do wyprowadzenia sygnału wideo na gniazda zewnętrzne, umożliwiając niezależną pracę wymienionych układów od głównego toru wideo. Wybór sygnałów dla wyjścia CVBS2 output jest sterowany dwoma bitami SC1 i SC0 (rejestr 18_{hex}, bity: 2, 1). Bity sterujące SC1 i SC0 są niezależne od ustawienia bitów INA, INB, INC. Sposób przyłączania sygnałów do wyjścia 26 pokazuje tabela 8.

Tabela 8

bit CS1	bit CS0	Sygnały wyjściowe, n.26	bit CS1	bit CS0	Sygnały wyjściowe, n.26
0	0	CVBS _{INT} (n.13)	1	0	Y _{S-VHS} + C _{S-VHS} (n.11, n.10)
0	1	CVBS1 _{EXT} (n.17)	1	1	CVBS2 _{EXT} (n.11)

Tabela 9

bit YD3	bit YD2	bit YD1	bit YD0	Opóźnienie	bit YD3	bit YD2	bit YD1	bit YD0	Opóźnienie
0	0	0	0	0ns	1	0	1	0	200ns
0	0	1	0	40ns	1	1	0	0	240ns
0	1	0	0	80ns	1	1	1	0	280ns
0	1	1	0	120ns	1	1	1	1	320ns
1	0	0	0	160ns					

Jak już wspomniano sygnał dostępny na n.38 jest również sygnałem użytecznym dla głównego toru wideo odbiornika. Zanim sygnał ten zostanie zobrazowany na ekranie podlegać będzie co najmniej kilku procesom poprawiającym jego jakość. Z wyjścia kluczy kierowany jest on do dwóch niezależnych torów: luminancji i chrominancji. W torze luminancji napotyka najpierw selektor impulsów H/V, gdzie wydzielane są impulsy dla potrzeb obwodów synchronizacji i jednocześnie kierowany jest do żyrtatorowej linii opóźniającej. Opóźnienie w torze luminancji może być regulowane w zakresie 0÷320ns z krokiem 40ns. Za wielkość opóźnienia odpowiedzialne są bity YD3 ... YD0 (rejestr 1A_{hex}; bity: 7, 6, 5, 4). Ustawienie bitów sterujących i odpowiadającą im wartość opóźnienia przedstawia tabela 9.

Dalej tor sygnału wideo prowadzi przez pułapkę (*trap*) dla sygnału chrominancji lub przez linię opóźniającą o stałym opóźnieniu (160ns). Wybór toru zależy od wyboru sygnałów wejściowych: CVBS czy Y/C. Zanim sygnał luminancji pojawi się na wyprowadzeniu 28 poddany jest jeszcze obróbce *peaking* oraz *coring*. Obydwa procesy kontrolowane są (włączane lub wyłączane) za pomocą magistrali I²C. Proces *peaking* polega na uwypukleniu wyższych harmonicznnych w sygnale luminancji, natomiast obróbka *coring* eliminuje zakłócenia (szumy), czyli składniki o małych i bardzo małych amplitudach. Stosowny fragment schematu blokowego dla toru wideo przedstawia rysunek 7.

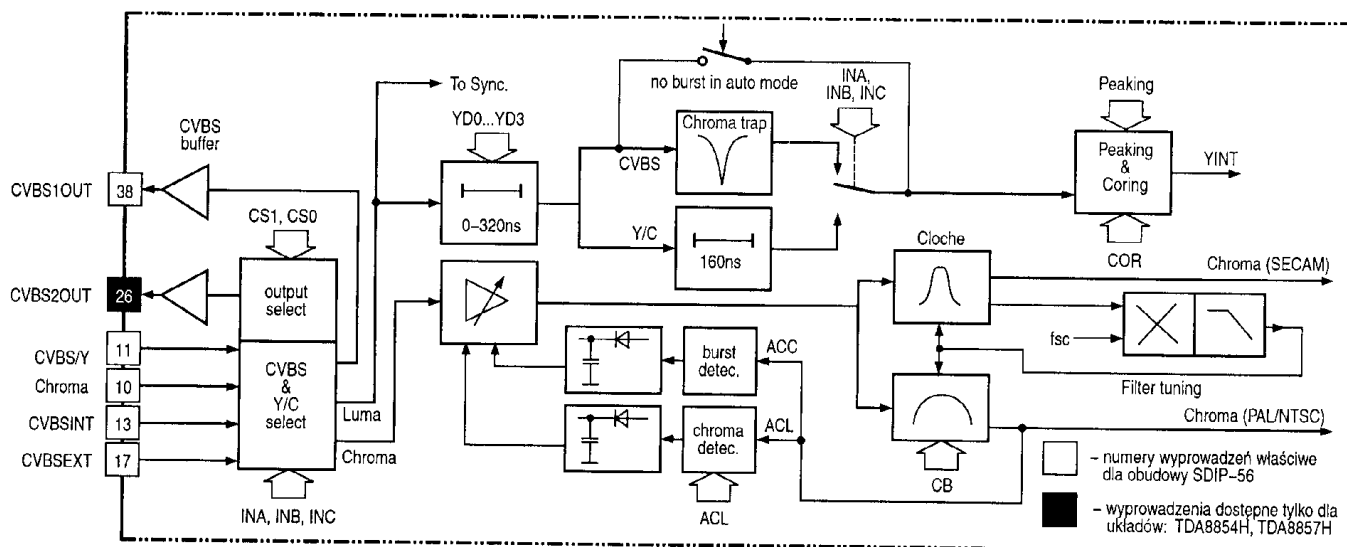
n.39 (n.55): Decoupling digital - wyprowadzenie dla odprężenia napięć zasilających obwody cyfrowe.

n.40 (n.56): Horizontal output - wyjście sygnałów sterujących dla toru odchylania poziomego. Oscylator odchylania poziomego jest zbudowany jako układ w pełni zintegrowany nie wymagający żadnych elementów zewnętrznych. Regulacja oscylatora do częstotliwości znamionowej odbywa się również

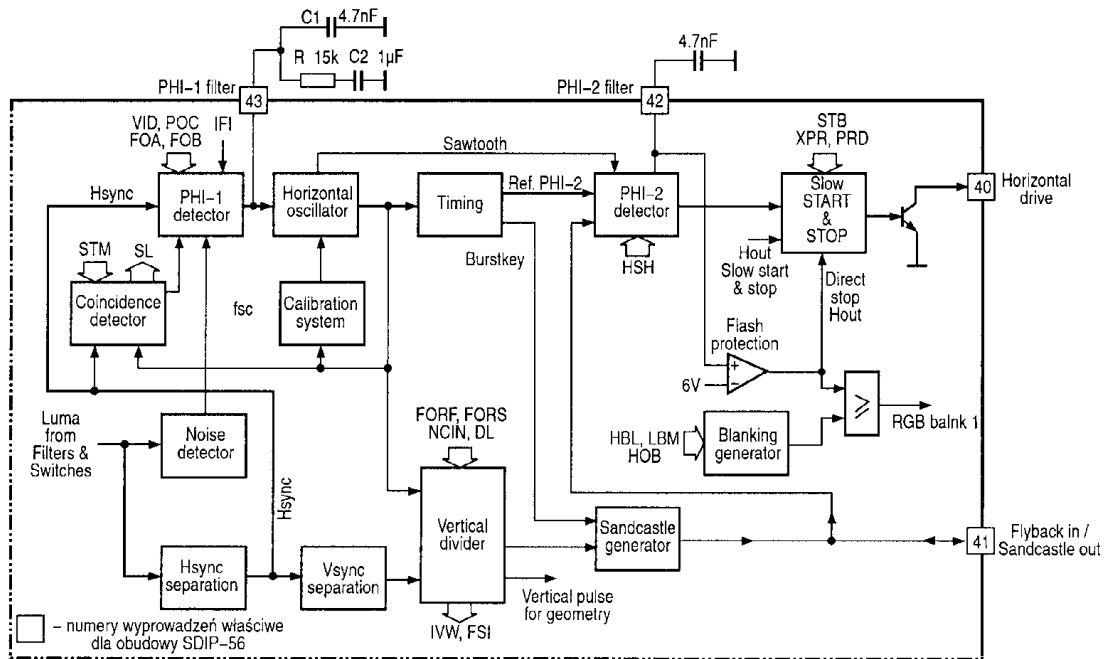
automatycznie podczas procesu kalibracji. Jak już było wspomniane układ kalibratora wymaga, jako sygnału odniesienia sygnału jednego z oscylatorów Xtal. Generator H wytwarza przebieg piłokształtny o podwójnej częstotliwości linii. Sygnał o tej postaci jest wykorzystywany przez wewnętrzne układy jako sygnał bramkujący. Częstotliwość oscylatora linii, po procesie kalibracji jest kontrolowana - w celu synchronizacji z przychodzącym sygnałem wideo - przez pętlę PHII-1.

Wyjście *Horizontal output* zbudowane jest jako *open collector*, aktywnym jest stan niski. Dla normalnych warunków pracy stopnia wyjściowego zachowane są następujące proporcje czasowe: 45% wyłączony (*high*), 55% włączony (*low*). W celu optymalizacji stabilności prąd wyjściowy stopnia powinien być jak najmniejszy. W tym celu, zwykle na wyjściu stosowany jest rezystor o wartości około 100R, czasami spotkać można również wtórnik emiterowy.

Stopień wyjściowy *Horizontal output* posiada wbudowane obwody zapewniające tzw. miękki start/stop stopnia końcowego linii. Ich nadrzędnym celem jest maksymalne zabezpieczenie tranzystora mocy w układzie odchylania H. Podczas fazy włączania na wyjściu 40 pojawiają się impulsy sterujące o podwójnej częstotliwości linii (31.25kHz) i zależnościach czasowych: 75% - *high* i 25% - *low*. Po upływie około 50ms układ przywraca normalną częstotliwość (15.625kHz) i normalne zależności czasowe. Podobna sytuacja ma miejsce, gdy odbiornik jest wyłączany do stanu *standby*. Impulsy wyjściowe *Horizontal output* również osiągają podwójną wartość częstotliwości, dodatkowo w tej fazie pracy odbiornika sygnałom wyjściowym RGB nadawane są maksymalne wystereowania (kontrast, jaskrawość). Chodzi tu o szybkie rozładowanie pojemności kineskopu (źródła napięcia WN). Następnie po upły-



Rys.7. Tor wideo układu TDA88xx.



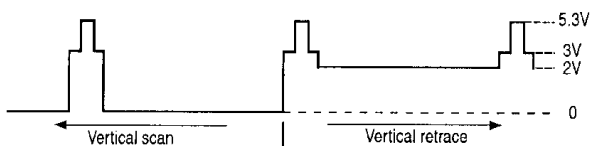
Rys.8. Układy synchronizacji linii i ramki oraz stopień sterujący linii.

wie około 100ms sygnały RGB przyjmują wartości minimalne, a po upływie kolejnych 50ms wyjście *Horizontal output* jest wyłączane. Stosowny fragment schematu blokowego oscylatora i stopnia sterującego linii pokazano na rysunku 8.

n.41 (n.57): Sandcastle output / flyback input - wyjście sygnału *sandcastle* oraz wejście impulsów powrotów linii. Impulsy *burst* oraz impulsy wygaszania ramki są zawsze obecne na wyjściu 41, impulsy wygaszania linii pojawiają się jedynie wówczas, gdy do wyprowadzenia 41 doprowadzone zostaną impulsy powrotów linii. Obecność tych ostatnich jest niezbędna z uwagi na pracę pętli PHI-2 (zapewniającej poziomą stabilność obrazu) oraz z uwagi na konieczność wygaszania powrotów linii na ekranie (bez impulsów linii powroty byłyby wygaszane tylko na czas trwania impulsu *burst*). W efekcie kombinacji impulsów wyjściowych (*burst* i wygaszanie ramki) oraz impulsu wejściowego powrotu linii na wyprowadzeniu 41 otrzymywany jest trójpłaszczykowy sygnał *sandcastle*, jego kształt i poziomy pokazano na rysunku 9.

n.42 (n.58): PHI-2 filter / Flash protection - filtr pętli fazowej PHI-2 oraz wejście dla obwodów zabezpieczenia.

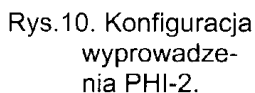
Pętla PLL PHI-2 odpowiedzialna jest za utrzymywanie stabilności fazowej pomiędzy wyjściem impulsów *Horizontal output*, a wejściem impulsów powrotu linii (pozioma stabilność położenia obrazu na ekranie). Rolę filtru pętli spełnia tu pojedynczy kondensator podłączony do n.42 (filtr pierwszego rzędu). Wartość jego pojemności powinna zawierać się w granicach 1÷10nF (im większa pojemność tym wolniejsza odpowiedź pętli). W praktyce najczęściej spotykaną wartością jest 4.7nF.

Rys.9. Kształt i poziomy sygnału *sandcastle*.

Statyczne położenie obrazu na ekranie, czyli tzw. regulacja fazy jest kontrolowana za pomocą szyny I²C (funkcja *Horizontal Shift* - HSH; rejestr 03_{hex}, bity 5...0). Ponieważ jednak zmiana prądu kineskopu ma wpływ na kształt impulsu powrotu linii położenie obrazu na ekranie może się nieznacznie zmieniać. Aby temu zapobiec wykorzystuje się dolną, stabilną część impulsu powrotu linii, można też stosować odpowiednie obwody kompensujące. Należy jednak pamiętać, że obecność rezystorów podłączonych do n.42 powoduje zmniejszenie wzmocnienia pętli, w związku z tym wartość dołączonego rezystora nie powinna być mniejsza niż 1M. Możliwą konfigurację połączeń do n.42 pokazano na rysunku 10.

Wyprowadzenie 42 może być również wykorzystywane jako wejście obwodów ochrony. Nominalnie przypisano mu funkcję ochrony *flash protection* (zabezpieczenie przed wyładowaniami). Obwody ochrony uaktywniają się, gdy napięcie na n.42 przekroczy wartość 6V, wówczas wyjście *Horizontal output* zostaje natychmiast zablokowane. Powrót do normalnej pracy z wykorzystaniem procedury wolnego startu następuje dopiero w chwili, gdy napięcie tej nóżki obniży się poniżej granicy 6V. Pętlę PHI-2 można zablokować, tzn. wyłączyć, jeśli napięcie na n.42 spadnie (wymuszenie zewnętrzne) poniżej 1V.

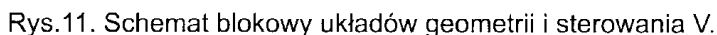
n.43 (n.59): PHI-1 filter - filtr pętli fazowej PHI-1. Zadaniem pętli PHI-1 jest zapewnienie synchronizmu pomiędzy częstotliwością oscylatora linii, a przychodzącym sygnałem wideo niezależnie od parametrów tego sygnału, tzn. sygnał może być słaby lub silny, ze źródła VCR itp. Tak szeroki zakres trzymywania jest uzyskiwany poprzez przełączanie stałej czasowej filtru uzyskiwanej za pomocą zmiany prądu wyjściowego. Wartość tego prądu wpływa na napięcie wytwarzane na elementach zewnętrznych filtru (n.43), a to z kolei oddziałuje na oscylator H. Stała czasowa pętli (szybka/wolna) może być przypisywana na stałe do określonego programu lub może być przełączana automatycznie (czynnikiem inicjującym jest poziom szumów w sygnale). Sterowanie rodzajem przełączania odbywa się za pomocą szyny I²C (bity FOA, FOB; rejestr 00_{hex}, bity: 3, 2).



n.44 (n.60, 61): *Ground* – masa. Wyprowadzenie to zabezpiecza podłączenie masy do podłoża układu scalonego oraz masy do bloku *Horizontal output*.

Działanie systemu AVL polega na utrzymywaniu stałego poziomu wyjścia fonii niezależnie od współczynnika modulacji fonii w sygnale wejściowym. Zakres trzymania systemu AVL wynosi $75 \div 750 \text{ mV}_{\text{rms}}$ dla wejściowych sygnałów wewnętrznych oraz $150 \div 1500 \text{ mV}_{\text{rms}}$ dla sygnałów zewnętrznych. System AVL wymaga podłączenia zewnętrznego kondensatora do n.45, zalecaną wartością jest $1 \div 4,7 \mu\text{F}$ (mniejsza wartość skracza czas redukcji głośności jednak pogarsza dynamikę i zawartość harmoniczných w sygnale wyjściowym). Zakres zmian składowej stałej na n.45 wynosi od 1V (min. wzmacnienia) do 5V (max. wzmacnienia).

n.46, 47 (n.63, 64): *Vertical drive* - różnicowo-prądowe wyjście sygnałów sterowania układem odchyłania pionowego. Generator sygnałów odchyłania pionowego bazuje na częstotliwości oscylatora odchyłania poziomego. Dzieląc w odpowiednim stosunku częstotliwość linii, otrzymywane są impulsy do sterowania piłokształtnym generatorem ramki. Do wytworzenia liniowego przebiegu „piły” wykorzystywane jest źródło prądowe ładujące - podczas wybierania ramki - zewnętrzny kondensator podłączony do wyprowadzenia 51. Źródło prądowe generatora wykorzystuje również zewnętrzny rezystor podłączony do wyprowadzenia 52. Na wyprowadzeniu tym wy-



Różnicowo-prądowe wyjście procesora geometrii obrazu w pionie jest dostępne na wyprowadzeniach 46 (*vertical drive positive*) oraz 47 (*vertical drive negative*). Konstrukcja tego wyjścia przewiduje stałoprądowe sprężenie ze stopniem mocy układu odchyłania pionowego. Zaletą takiego rozwiązania jest między innymi brak konieczności stosowania w układzie regulacji linowości w pionie oraz brak efektu „tąpnięcia” ramki (np. po zmianie programu). Maksymalne napięcie na wyjściach sterujących nie przekracza 4V, wartość prądu różnicowego wynosi około 500μA_{pp}. Przy zastosowaniu rezystora obciążenia 3k napięciowy sygnał sterujący końcówką mocy wynosi około 1.5V_{pp}.

n.48, 49 (n.1, 2): *IF input* - symetryczne wejście sygnału IF. Impedancja wejścia IF to równoległe połączenie rezystancji 2k z pojemnością około 3pF. Odpowiada to impedancji wyjściowej powszechnie stosowanych filtrów z falą powierzchniową (konstrukcja wejścia dopuszcza stałoprądowe sprzężenie z SAW). Czulość wzmacniaczy wejściowych to typowo 70mV. Układ zawiera trzy sprzężone wzmacniacze połączone kaskadowo, wzmocnienie całej kaskady wynosi minimalnie 64dB.

Wejściowy (wzmocniony) sygnał IF podlega demodulacji w układzie demodulatora synchronicznego z wykorzystaniem pętli PLL. Demodulator może być przestrajany w zakresie częstotliwości pośredniej wizji od 33.4MHz do 58.75MHz. Do tego celu wykorzystywane są trzy bity sterujące: IFA, IFB, IFC (rejestr

Tabela 10

IFA (bit 7)	IFB (bit 6)	IFC (bit 5)	bity: 4...0	Częstotliwość pośrednia wizji IF (MHz)
0	0	0	0	58.75
0	0	1	0	45.75
0	1	0	0	38.90
0	1	1	0	38.00
1	0	0	0	33.40
1	1	0	0	33.90

15_{hex}, bity: 7, 6, 5). Zależność pomiędzy ich ustawieniami a wyborem częstotliwości pośredniej wizji przedstawia tabela 10.

Właściwą wartość częstotliwości dla generatora VCO zapewnia układ kalibracji wykorzystując, jako częstotliwość odniesienia, aktualnie dostępny sygnał z oscylatora dekodera koloru.

W skład obwodów IF wchodzi również układ wytwarzania napięcia AFC. Sygnał ten, dla przyjętej koncepcji braku zewnętrznych elementów dostrojonych, jest nieodzowny w trakcie procesu strojenia. Sygnał AFC wytwarzany jest w układzie licznika jako sygnał cyfrowy i jest dostępny dla mikrokontrolera i głowicy w.c.z. poprzez szynę I²C - bity AFA i AFB (rejestr do odczytu 01_{hex}, bity: 3, 2).

n.50 (n.3): EHT tracking / overvoltage protection - wejście układów kompensacji wymiarów obrazu w funkcji zmian prądu kineskopu / wejście ochrony przed nadmiernym wzrostem napięcia WN.

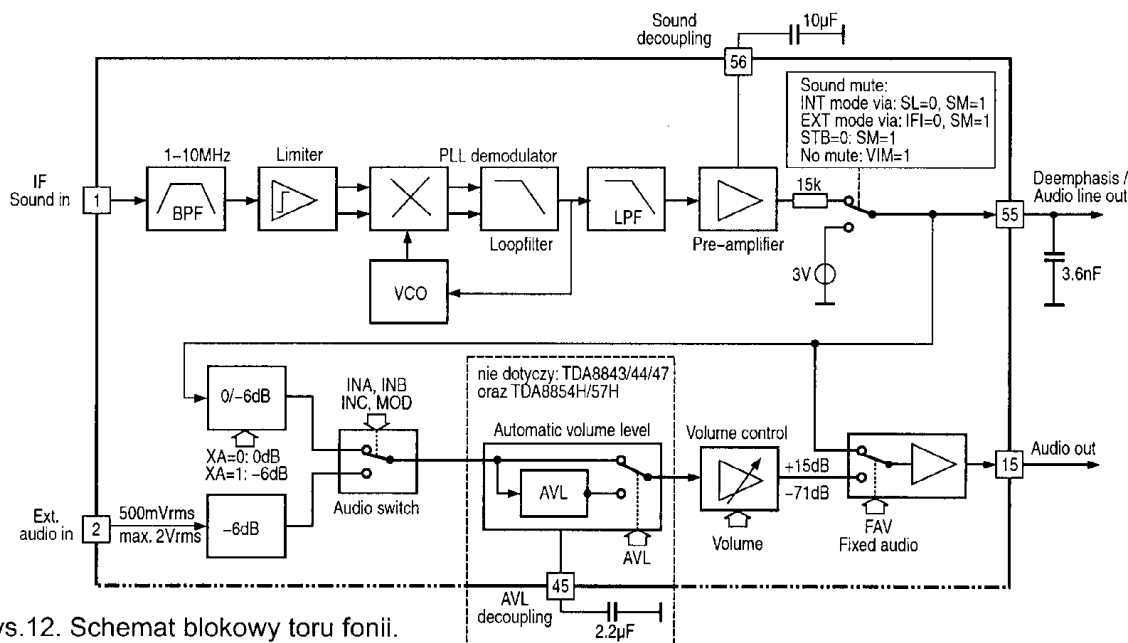
Nominalna wartość napięcia na wyprowadzeniu 50 wynosi 2V. Jest to wartość odpowiadająca prądowi kineskopu, przy którym ustawiana jest wysokość i szerokość obrazu (układy kompensacji są nieaktywne). Zakres zmian napięcia dla wejścia EHT tracking wynosi od 1.2V do 2.8V, odpowiada to kompensacji wymiarów, zarówno szerokości jak i wysokości: ±5%. Poprzez szynę I²C - bit HCO (rejestr 0A_{hex}, bit 7), kompensacja wymiarów w poziomie może być wyłączona.

Elementy połączone do n.50 stanowią filtr dla sygnału napięcia kompensacji, jego stała czasowa jest kompromisem pomiędzy szybkością działania pętli kompensującej, a ewentualnymi zniekształceniami w układach odchyłania.

Układ ochrony przepięciowej uaktywnia się jeśli napięcie na n.50 przekroczy 3.9V. Rezultatem zadziałania tego układu jest ustawienie bitu XPR (rejestr do odczytu 00_{hex}, bit 3), który następnie może być wykorzystany do określonego zachowania się odbiornika, o czym zdecyduje system sterujący (mikrokontroler). W przypadku, gdy bit PRD (rejestr 0B_{hex}, bit 6), był ustawiony (=1) wówczas efektem zadziałania układu ochrony jest zablokowanie wyjścia *Horizontal output* (z wykorzystaniem procedury powolnego wyłączenia) oraz ustawienie bitu XPR. Spadek napięcia poniżej 3.9V automatycznie uruchamia wyjście impulsów Hout (również z wykorzystaniem procedury powolnego startu).

n.51 (n.4): Vertical sawtooth - podłączenie zewnętrznego kondensatora w układzie generatora ramki napięcia piłokształtnego. Jak już wspomniano (n.46, 47), kondensator podłączony do wyprowadzenia 51 jest elementem generatora „piły” w układzie odchyłania V. Jego wartość powinna wynosić 100nF, ±5%. Ważnym jest, aby zastosowany kondensator posiadał dobre właściwości temperaturowe, czasowe, a także mały prąd upływu. Zmiana pojemności w czasie lub w wyniku zmiany temperatury będzie przekładała się na zmianę wysokości obrazu. Tolerancja wartości pojemności jest kompensowana regulacją parametru VS (*vertical slope*). Optymalna wartość amplitudy przebiegu na n.51 dla częstotliwości odchyłania 50Hz wynosi 2.9V. Jest ona determinowana przez wartość pojemności kondensatora i prąd ładowania, który dla 50Hz wynosi około 16μA (dla 60Hz będzie większy o około 20%). Przebieg piłokształtny oparty jest na poziomie stałym 2.3V.

Liniowy przebieg napięcia na n.51 jest odzwierciedleniem prądu płynącego w obwodzie cewek odchyłających V. Jego zniekształcenie jakimkolwiek czynnikiem ma bezpośredni wpływ na liniowość odchyłania. Układy TDA88xx w omawianej wersji N2 nie są pod tym względem najlepiej dopracowane. W celu poprawy geometrii obrazu w pionie (zwłaszcza w jego górnej części), w niektórych aplikacjach spotkać można dodatkowy rezystor podłączony pomiędzy n.51 a napięcie zasilania +8V. Wartość tego rezystora waha się w granicach 4.7÷10M i najlepiej dobierać ją eksperymentalnie zależnie od indywidualnych warunków.



Rys.12. Schemat blokowy toru fonii.

n.52 (n.5): *Reference current input* - wytwarzanie prądu referencyjnego dla generatora napięcia piłokształtnego ramki. Jak wspomniano wcześniej (n.46, 47), wyprowadzenie 52 wymaga podłączenia rezystora do masy. Z uwagi na fakt, iż występuje na nim napięcie referencyjne 3.9V, a procesor geometrii V optymalizowany jest dla wartości prądu referencyjnego 100μA, wartość tego rezystora powinna wynosić 39k z tolerancją 2%. Odstępstwa od tej wartości będą skutkowały zniekształceniami geometrii zarówno w pionie, jak i w poziomie.

n.53 (n.6): *AGC decoupling capacitor* - podłączenie kondensatora odsprężenia napięcia ARW. Optymalną wartością kondensatora z punktu widzenia szybkości działania pętli ARW, dla przypadku odbioru sygnałów z modulacją negatywną i pozytywną, jest 2.2μF. Jednak przy założeniu odbioru sygnałów tylko z modulacją negatywną wartość omawianej pojemności można zmniejszyć. Wpłynie to korzystnie na szybkość działania pętli. Eksperymentalnie dobrana minimalna wartość pojemności podłączonej do wyprowadzenia 53 wynosi 330nF. Doświadczenie dowodzi również, że należy unikać podłączeń n.53 zewnętrznymi rezystorami zarówno do +8V, jak i do masy.

n.54 (n.7): *Tuner AGC output* - wyjście napięcia ARW do sterowania głowicy w.cz. Wyprowadzenie to wykorzystywane jest do redukcji wzmocnienia głowicy w przypadku wystąpienia zbyt silnych sygnałów wejściowych. Wyjście skonfigurowane jest jako *open collector*, wartość zewnętrznego rezystora podpiętego do napięcia zasilania decyduje o nachyleniu charakterystyki regulacji. Zbyt duża jego wartość (powyżej kilkudziesięciu kiloomów) może powodować kłopoty ze stabilnością pętli ARW. Na n.54 może wystąpić maksymalnie napięcie Vcc+1V, a wpływający prąd może osiągać wartość do 8mA.

Poziom sygnałów wejściowych, po przekroczeniu którego pętla ARW zaczyna obniżać wzmocnienie głowicy (*tuner take over point*), jest regulowany za pomocą szyny I²C (rejestr 13_{hex}, bity: 5...0). Zakres regulacji wynosi 0.4÷80mV.

n.55 (n.8): *Audio deemphasis* - deemfaza dla wejściowych (z anteny) sygnałów audio, wyjście nieregulowanego sygnału audio. Jak już wspomniano (opis: n.1) sygnał IF fonii po doprowadzeniu poprzez selektywne filtry na n.1, podawany jest na wewnętrzny filtr pasmowy ograniczający szumy, a stąd do ogranicznika amplitudy. Za ogranicznikiem znajduje się demodulator fonii. Demodulacji sygnałów FM fonii dokonuje się w układzie PLL, stąd żadne zewnętrzne elementy nie są wymagane (w szczególności elementy strojenkowe). Zakres zaskoku pętli wynosi 4.2÷6.8MHz, zapewniając w ten sposób możliwość pracy układu w aplikacjach multistandardowych. Obciążeniem demodulatora jest przedwzmacniacz fonii (stałe wzmocnienie), którego wyjście dostępne jest na n.55. Zdemodulowany sygnał fonii musi być jeszcze poddany procesowi deemfazy. Rola tę pełni kondensator podłączony właśnie do n.55. Impedancja wyjściowa przedwzmacniacza to około 15k, a więc z uwagi na stałą czasową preemfazy, która dla standardu B/G wynosi 50μs, wartość pojemności podłączonej do n.55 powinna zawierać się w granicach 3.6÷3.9nF.

Poziom sygnału wyjściowego na n.55 wynosi 500mV_{rms} dla dewiacji ±50kHz i częstotliwości sygnału użytecznego 1kHz oraz 270mV_{rms} dla dewiacji ±27kHz. Składowa stała zawsze przyjmuje wartość 3V (również podczas stanu mute).

Sygnał fonii dostępny na wyprowadzeniu 55 jest często wykorzystywany jako sygnał wyjściowy dla zewnętrznych gniazd AV. Sygnał ten poprzez wewnętrzny przełącznik audio (stero-

Tabela 11

Nr nóżki	Opis funkcji	Podłączenie (jeśli niewykorzystywany)
1	Sound IF input	Bezpośrednio do masy
2	External audio input	Bezpośrednio do masy
3, 4	n.c.	Bezpośrednio do masy lub do zasilania albo pozostawiony „otwarty”
5	PLL loopfilter	Pozostawiony „otwarty”
6	Video output	Pozostawiony „otwarty”
10	Chroma input	Bezpośrednio do masy
11	Y/CVBS3 input	Do masy przez 10nF
13	CVBS _{INT} input	Do masy przez 10nF
17	CVBS _{EXT} input	Do masy przez 10nF
18	Black current input	Pozostawiony „otwarty”
22	Beam current/V guard	Pozostawiony „otwarty”
23+25	RGB1-in	Do masy przez 22nF
25 (QFP)	CVBS2 switch output	Pozostawiony „otwarty”
26	RGB1 insertion	Bezpośrednio do masy
29, 30	(B-Y)/(R-Y) out	Pozostawiony „otwarty”
33	Chroma ref. output	Pozostawiony „otwarty”
34, 35	XTAL	Pozostawiony „otwarty”
38	CVBS1 switch output	Pozostawiony „otwarty”
41+43 (QFP)	RGB2-in	Do masy przez 22nF
44 (QFP)	RGB2 insertion	Bezpośrednio do masy
48, 49	IF-inputs	Pozostawione „otwarte” lub połączone razem lub/i podłączone do masy
50	EHT	Do napięcia 2V (z pozostawieniem kondensatora odsprężającego)
53	IF-AGC	Do +8V przez rezystor 10k
54	Tuner AGC output	Do masy lub „otwarty”
55	Audio deemphasis	Bezpośrednio do masy
56	Audio decoupling	Do masy przez 100nF

wany szyną I²C, bity INA, INB, INC; patrz: opis n.38) dostępny jest również dla głównego toru fonii odbiornika. Fragment schematu blokowego przedstawiający tor fonii pokazano na rysunku 12.

n.56 (n.9): *Sound decoupling* - odsprężenie sygnałów audio. Z uwagi na stałoprądowe sprzężenie w pętli demodulatora fonii wymagany jest filtr ograniczający pasmo fonii od dołu. Rolę tę pełni kondensator podłączony do wyprowadzenia 56. Wartość jego pojemności powinna wynosić około 10μF, odpowiada to ograniczaniu pasma fonii poniżej 30Hz. W celu obniżenia tej wartości pojemność kondensatora można powiększyć.

3. Sposób podłączenia niewykorzystywanych wyprowadzeń

Ze względu na swą różnorodną funkcjonalność procesory z serii TDA88xx mogą być stosowane w różnych układach aplikacyjnych (np. do sterowania wyświetlaczy LCD), warto jest w tych przypadkach znać sposób podłączenia wyprowadzeń niewykorzystywanych. Niektóre z nich łączy się bezpośrednio do masy, inne poprzez kondensator - szczegółowe wymagania zawiera tabela 11. ▣